



ГОСУДАРСТВЕННЫЙ НАУЧНЫЙ ЦЕНТР  
РОССИЙСКОЙ ФЕДЕРАЦИИ

**ИНСТИТУТ ФИЗИКИ ВЫСОКИХ ЭНЕРГИЙ**

2002–13

На правах рукописи

**Матюшин Александр Андреевич**

**РАЗРАБОТКА АППАРАТУРЫ  
УНИФИЦИРОВАННЫХ КОНТРОЛЛЕРОВ  
ОБОРУДОВАНИЯ ДЛЯ СИСТЕМ УПРАВЛЕНИЯ  
ЭЛЕКТРОФИЗИЧЕСКИМИ УСТАНОВКАМИ  
УСКОРИТЕЛЕЙ**

05.13.05 – элементы и устройства вычислительной техники  
и систем управления

Автореферат  
диссертации на соискание ученой степени  
кандидата технических наук

Протвино 2002

Работа выполнена в Институте физики высоких энергий (г. Протвино).

Научный руководитель – доктор физико-математических наук А.Н. Сытин (ИФВЭ, г. Протвино).

Официальные оппоненты: доктор технических наук В.Я. Стенин (МИФИ, г. Москва), кандидат технических наук О.П.Лебедев (ИФВЭ, г. Протвино).

Ведущая организация – Институт ядерных исследований РАН (г. Москва).

Защита диссертации состоится “\_\_\_\_\_” \_\_\_\_\_ 2002 г. в \_\_\_\_\_ часов на заседании диссертационного совета К 201.004.01 при Институте физики высоких энергий по адресу: 142280, г. Протвино Московской области.

С диссертацией можно ознакомиться в библиотеке ИФВЭ.

Автореферат разослан “\_\_\_\_\_” \_\_\_\_\_ 2002 г.

Ученый секретарь  
диссертационного совета К 201.004.01

В.Н. Ларин

## **Общая характеристика работы**

### **Актуальность темы**

Современные системы управления (СУ) ускорителей представляют собой многоуровневые комплексы аппаратно-программных средств, имеющие схожие принципы построения, но отличающиеся спецификой решения задач управления, степенью использования вычислительных средств, применяемой аппаратной базой. На нижнем иерархическом уровне архитектуры систем управления находятся контроллеры оборудования (КО), образующие интерфейс между объектом управления и вышележащими слоями. Для контроллеров оборудования СУ ускорителей существуют уникальные требования, которых нет в промышленных системах управления, особенно для аппаратуры, связанной с пучком. Исследовательский характер работы ускорителей приводит к частой перестройке оборудования, сопровождается вводом дополнительных электрофизических установок и освоением новых режимов, что требует гибкой адаптации систем управления к новым задачам. Учитывая, что КО составляют наиболее объёмную часть системы управления, разработка аппаратуры контроллеров оборудования, обеспечивающих долговременную, надёжную и эффективную работу ускорительного комплекса, является крайне актуальной задачей.

### **Цель диссертационной работы**

Основной целью работ, входящих в диссертацию, является разработка и внедрение в системы управления электрофизическими установками ускорителей унифицированной аппаратуры для построения контроллеров оборудования, обеспечивающих высокую производительность сбора данных и эффективное выполнение задач управления в СУ ускорителей ИФВЭ, CERN, FNAL и DESY.

### **Научная новизна диссертационной работы:**

1. Предложен и реализован в аппаратуре сбора данных метод сквозного управления переключением каналов, что позволило сократить время измерения профиля пучка в СУ медленного вывода У-70 (ИФВЭ).
2. Предложен и реализован в цифровом функциональном генераторе (САМАС 372) метод доступа к двухпортовой памяти (ДПП) с разделением цикла путём использования в качестве источника тактов синхросигналов одного из устройств, подключённых к ДПП.
3. Разработан метод арбитражи доступа к ДПП с использованием строба выборки инструкции PSEN для модулей, содержащих микроконтроллеры семейства MCS51. Арбитражи обеспечивает надёжный и гарантированный доступ к ДПП и впервые успешно применена в разнообразной аппаратуре ввода/вывода, выполненной в стандартах VME, ISA, BUS1, IP.
4. Разработан модульный встраиваемый контроллер для источников питания магнитооптических элементов на основе микроконтроллеров, подключаемый к системе управления с помощью двух последовательных каналов MIL1553 (данных и синхрособытий). Контроллер поддерживает протокол управления высокого уровня. Создан стенд для его программирования и наладки.
5. Предложена унифицированная организация интерфейса типового модуля в стандарте VME, на основе ДПП, микроконтроллера и регистра статуса и управления. Разработан набор модулей ввода/вывода с унифицированным интерфейсом для измерения параметров пучка. Унифицированный интерфейс значительно сокращает время создания контроллеров оборудования, а микроконтроллеры повышают эффективность их работы в реальном времени.
6. Предложено применение микроконтроллеров в качестве интеллектуальных связанных интерфейсов и впервые реализованы протоколы MIL1553, SEDAC и D3 на программном уровне, что значительно упростило аппаратную часть и позволило модифицировать протоколы для повышения надёжности и производительности обмена.

### **Практическая ценность**

Разработанные модули успешно эксплуатируются в составе контроллеров оборудования СУ ускорителей ИФВЭ, CERN, FNAL и DESY:

- АК-64/128 и АЦП-10 – в системе управления медленного вывода У-70;
- Буферная память ВМ-16К (более 30 модулей) – в СУ PS (CERN);
- Цифровой функциональный генератор (САМАС 372) – в системе управления частотой бустера (FNAL);
- Свыше 100 модулей Е6371, Е6372, Е6691 – в системе управления каналом инжекции УНК;

- EC-31/TM, EC-31/RT, EC-31/CC, PBC – в прототипе системы коррекции УНК;
- VTG, VSA, VMA и VCT – в составе модернизированной системы измерения профиля, интенсивности и потерь в каналах выведенных частиц У-70;
- IP-PIO – в составе промышленной системы D3 для управления криогенным оборудованием установки HERA (DESY);
- IPS около (40 модулей) – в составе универсальных контроллеров оборудования в стандарте SEDAC (DESY).
- IP-CAN – в модернизированной системе управления криогеникой (DESY).

**На защиту выносятся следующие результаты:**

1. Разработка модулей в стандарте СУММА для измерения профиля пучка при медленном выводе из У-70 (ИФВЭ).
2. Разработка в стандарте САМАС модуля двухпортовой памяти для расширения возможностей систем сбора данных о параметрах пучка ускорителя PS (CERN).
3. Разработка в стандарте САМАС функционального цифрового генератора для управления частотой задающего генератора бустера FNAL.
4. Разработка функциональных модулей встраиваемых контроллеров двух типов для управления источниками питания канала инжекции УНК.
5. Создание для системы коррекции УНК встраиваемого контроллера источника питания в стандарте BUS1, поддерживающего протокол управления высокого уровня, и разработка стенда для программирования и наладки контроллера.
6. Разработка в стандарте VME пяти микроконтроллерных модулей ввода /вывода с использованием унифицированного интерфейса и создание на их основе контроллера сбора данных о параметрах выведенных пучков каналов У-70 (ИФВЭ).
7. Разработка трёх типов коммуникационных плат в стандарте IP с применением микроконтроллеров для интеграции КО в модернизированную систему управления криогеникой ускорителя HERA (DESY).

**Апробация работы и публикации.** Основные результаты, полученные в диссертации, опубликованы в работах [1-18] и докладывались на семинарах ИФВЭ, ЦЕРН, международных конференциях: Third International Conference on Accelerator and Large Experimental Physics Control Systems (ICALEPCS-93), Berlin, Germany, 1993; Fourth International Conference on Accelerator and Large Experimental Physics Control Systems (ICALEPCS-95), Chicago, USA, 1995; Fifth International Conference on Accelerator and Large Experimental Physics Control Systems (ICALEPCS-97), Beijing, P.R. China, 1997; Seventh International Conference on Accelerator and Large Experimental Physics Control Systems

(ICALPCS-2001), San Jose, USA, 2001; представлены на Втором Всесоюзном семинаре по автоматизации научных исследований в ядерной физике и смежных областях, Новосибирск, 1982; на Восьмом Всесоюзном совещании по ускорителям заряженных частиц, Дубна, 1983; на XVI Совещании по ускорителям заряженных частиц, Протвино, 1999.

**Структура диссертации.** Работа изложена на 96 страницах; состоит из введения, четырех глав и заключения; содержит 22 рисунка, 14 таблиц и список цитируемой литературы, включающий 70 наименований.

### Содержание работы

**Во Введении** дано обоснование актуальности темы диссертации, сформулирована главная цель выполненных работ, приведены их научная новизна и практическая ценность, перечислены результаты, выносимые на защиту.

**В первой главе** рассматривается аппаратура, выполненная в стандартах СУММА и САМАС без применения микроконтроллеров.

Для повышения производительности аппаратуры ввода/вывода широко используются конечные автоматы (или последовательностные схемы) и двухпортовая буферная память. При разработке модулей, включающих двухпортовую память (ДПП), следует учитывать явление метастабильности, т.е. состояние логической неопределенности выхода схемы арбитражи (синхронизатора), возникающее при появлении запроса вблизи положительного фронта тактового импульса. Во введении к первой главе приведены формулы оценки вероятности сбоев, зависящие от типа применяемых микросхем, а также даны рекомендации, как разработать аппаратуру, устойчивую к проявлению данного эффекта.

Для сбора информации о медленно меняющихся процессах большое распространение получила многоканальная аппаратура, состоящая из аналого-цифрового преобразователя (АЦП) и коммутатора аналоговых сигналов (АК). Преимущество – минимальные затраты аппаратуры для построения высокоточных измерительных систем, недостаток – большое время измерения всех каналов. Спроектированные в стандарте СУММА, аппаратные средства (аналого-цифровой преобразователь АЦП-10 и аналоговый коммутатор АК-64/128) имеют встроенную аппаратную логику, которая осуществляет переключение каналов коммутатора, запуск АЦП и переход от одного модуля коммутатора к другому при исполнении одной команды магистрали (чтение АЦП). В АЦП-10 реализован принцип поразрядного уравнивания с переменным интервалом, уменьшающимся по мере убывания веса разряда. Это позволяет по сравнению с постоянным тактом уменьшить время преобразования в 2,5 раза и обеспечить необходимую задержку для установления выходного сигнала мультиплексора на первом такте преобразования. За счёт аппаратного управления время измерения

одного канала равно сумме времён аналого-цифрового преобразования и двух команд магистрали, что позволяет получить скорость сканирования близкую к предельной для данного АЦП. Разработанная аппаратура на 192 канала успешно эксплуатируется для измерения параметров пучка при медленном выводе из У-70 (ИФВЭ).

Для увеличения скорости сбора данных в многоканальную аппаратуру на основе сканирующего АЦП и мультиплексора (MUX) добавляется модуль буферной памяти, как, например, JMT 30 в СУ PS (CERN). В связи с использованием комплекса PS в качестве инжектора протон-антипротонного коллайдера и увеличением количества измеряемых данных за один суперцикл возникла потребность в увеличении буферной памяти. Разработанный в стандарте SAMAC модуль буферной памяти на 16К слов (BM-16K) представляет собой двухпортовую память с батарейной поддержкой. BM-16K полностью совместим с JMT-30, имеет произвольную адресацию данных со стороны порта SAMAC и последовательную со стороны внешнего порта. По сравнению с JMT-30 у модуля BM-16K выше максимальная скорость чтения через внешний порт (2 Мб/сек) и имеется возможность одновременного доступа к памяти. Внешнее устройство (SCAN-ADC) записывает данные в память, из которой они могут быть считаны одновременно через магистраль SAMAC. Очередность работы с двухпортовой памятью обеспечивает триггер доступа (арбитр ДПП). Особенностью является синхронизация арбитра сигналом выбора модуля N. Запись данных через внешний порт осуществляется в паузах между командами магистрали. Чтобы избежать явления метастабильности, увеличено время установления выходного сигнала арбитра с помощью задержки (100 нс). Важная особенность модуля – совместимость с микросхемами ПЗУ, поэтому BM-16K используется также для хранения таблиц режимов. Помимо систем сбора, модуль буферной памяти BM-16K используется в КО ускорительного комплекса PS (CERN) для генерации функциональной зависимости с помощью модуля ЦАП, подключаемого к буферной памяти через переднюю панель.

Применение памяти большого объёма для генерации функциональной зависимости используется и в системе управления ускорительного комплекса Fermilab. Чтобы улучшить стабильность ВЧ-системы бустера Fermilab для работы комплекса в режиме коллайдера, был сконструирован задающий генератор с цифровым управлением на основе цифрового синтезатора компании Sciteq. Синтезатор управляется 29-разрядным кодом и обеспечивает разрешение 0.13 Гц. Требования ВЧ-системы бустера, а именно: темп нарастания 3 ГГц/с и диапазон программирования частоты от 30 до 53 МГц, привели к необходимости разработки высокоскоростного (1 МГц), цифрового, 32-разрядного функционального генератора в стандарте SAMAC для управления синтезатором.

Модуль имеет статическую память 128Кх16 бит с батарейным питанием, которая может быть использована для генерации одной функции с 32-разрядным выходом или двух функций с 16-разрядным разрешением. Каждая функция мо-

жет быть до 64К в длину. Модуль принимает и декодирует стандартные синхрособытия Теватрона (TCLK), извлекает тактовую частоту 10 МГц и одно или несколько событий для старта функции. В результате начало функции имеет стабильную задержку относительно синхрособытий равную 1.900 мкс +/- 50 нс. Основу схемы модуля составляет двухпортовая память с модифицированным способом разделения цикла доступа, при котором тактовая частота одного из портов (10 МГц) синхронизирует доступ к памяти. С помощью сдвигового регистра и программируемой логической схемы интервал в 1 мкс разбит на три фазы: МС1 и МС2 длительностью по 300 нс для выборки функции записи в буферный регистр и МС3 длительностью 400 нс для доступа САМАС, который производится через двунаправленный регистр с хранением данных типа 74ALS646. Управление регистром осуществляется командами магистрали САМАС и сигналами таймирования памяти, что обеспечивает развязку моментов записи и считывания данных через оба его порта. В состав арбитра входит синхронизатор (JK-триггер), который стробируется в фазе МС1 и вырабатывает синхронный запрос доступа магистрали САМАС. Эффект метастабильности значительно снижен достаточным временем установления выходного сигнала синхронизатора: стробирование триггера происходит в фазе МС1, а проверка выхода в фазе МС3.

**Во второй главе** представлена аппаратура, разработанная для встраиваемых контроллеров источников питания магнитооптических элементов, которые являются одним из наиболее распространенных объектов управления на ускорителе. Встраиваемые КО выполнены в конструктиве "Евромеханика" с межмодульной магистралью BUS1. КО для управления импульсными источниками питания магнитооптических элементов канала инжекции состоит из модуля процессора, таймерного модуля, модуля аналого-цифрового ввода/вывода (Е6371), модуля динамического разрешения (Е6691) и модуля статусных состояний и ручного управления источника. Модуль Е6371 включает в свой состав 12-разрядный АЦП с аналоговым коммутатором и прецизионным источником опорного напряжения (ПИОН), 12-разрядный ЦАП, входные и выходные регистры, 4 программируемых параллельных интерфейса (ППИ) и интерфейс с шиной BUS1. Наличие ПИОН с температурной стабильностью 0.0006 %/°С, выполненного на основе прецизионного стабилитрона КС191Ф и двух операционных усилителях, позволяет проводить дистанционную калибровку аналоговых цепей в процессе эксплуатации. В прецизионном источнике отсутствуют узлы подстройки напряжения, поэтому цифровой код опорного напряжения, измеренный точным вольтметром, устанавливается с помощью перемычек на плате. На вход АЦП могут быть поданы сигналы тока источника, выходного напряжения ЦАП, опорного напряжения и нулевого потенциала. Последние два измерения используются для калибровки АЦП.



Модуль Е6691 в этом же КО выполняет функцию шелевого компаратора с программируемыми верхним и нижним порогами. Модуль является частью системы динамической блокировки канала инжекции. Если величина тока источника находится между нижним и верхним порогами, то формируется сигнал разрешения на вывод пучка. В состав модуля входят два десятиразрядных цифро-аналоговых преобразователя, двоянный компаратор, источник опорного напряжения, аналоговый коммутатор, два выходных формирователя сигналов, интерфейс с шиной и два ППИ. Модуль Е6691 спроектирован также с учётом внутрисхемной калибровки. В режиме «тест» на вход компараторов подаётся тестовый аналоговый сигнал от цифро-аналогового преобразователя модуля Е6371.

Источники питания корректирующих элементов канала инжекции вырабатывают ток трапециевидальной формы и требуют гальваническую развязку между контроллером и источником. Специально для этого типа источников был сконструирован модуль Е6372 и плата преобразователей (ПП), которая встраивается в источник. В ПП производится формирование аналоговой уставки с помощью преобразователя «частота-напряжение» (ПЧН) и измерение тока источника при помощи преобразователя «напряжение-частота» (ПНЧ). Обмен данными между Е6372 и ПП осуществляется цифровыми сигналами, а гальваническая развязка достигается применением трансформаторов и реле. Модуль Е6372 имеет схожую архитектуру с модулем Е6371, основанную на четырёх программируемых параллельных интерфейсах (ППИ1 – ППИ4). К этим интерфейсам подключены узлы ввода и вывода цифровых сигналов, счётчики и программируемые делители частоты. Плата преобразователей включает в свой состав ПЧН и ПНЧ на основе микросхем К1102ПП2, аналоговый коммутатор, ПИОН, реле для цифрового ввода/вывода и коммутационное поле для задания переключками величины калибровочного напряжения. В плату встроены компараторы для выработки сигнала динамического разрешения вывода пучка. Калибровка аналоговых узлов платы ПП осуществляется с использованием ПИОН. Несмотря на различие в типах управляемых источников, аппаратура ввода/вывода контроллеров оборудования имеет общий принцип построения и позволяет в процессе эксплуатации по результатам калибровки компенсировать уходы параметров, обеспечивая долговременную точность работы.

Источники питания магнитооптических элементов системы коррекции УНК обеспечивают ток сложной формы, заданный в виде функциональной зависимости. Встроенный контроллер источника питания системы коррекции (КИПК) использует последовательный канал по стандарту MIL1553 для обмена данными и такой же канал для приёма таймерных событий. В состав КИПК входят модули ЕС/31-РТ, ЕС/31-ТМ и ЕС/31-СС, выполненные в стандарте BUS1.

Модуль ЕС/31-ТМ включает в свой состав микроконтроллер типа 80С31, память для хранения программ объёмом 64 Кбайт, оперативное запоминающее устройство ёмкостью 16 Кбайт, приёмник таймерных сообщений (порт MIL1553) и интерфейс главного устройства шины BUS1. Приёмник таймерных

сообщений производит отбор событий и хранение передаваемой информации. Таймерное сообщение представляет собой командное слово в формате MIL1553, шестнадцать разрядов которого несут информацию о типе и коде передаваемого события. В состав таймерного порта входит приёмник сигналов (КР559ИП1), протокольная микросхема 1842ВГ2, декодировщик событий на ПЛМ (РА116Л8), регистры промежуточного хранения принятых сообщений (ЗХИР22), а также триггер прерывания. Адресное пространство памяти микроконтроллера модуля ЕС/31-ТМ разбито на зоны, занимаемые ОЗУ, внутренними регистрами и внешними модулями. При обращении к зоне памяти внешних модулей формируется цикл магистрали BUS1. Чтобы согласовать скорость обмена микроконтроллера с асинхронной шиной, применена схема синхронного переключения на более низкую тактовую частоту (1.5 МГц) при адресации внешних модулей. Как только поступает шинный сигнал ХАСК, происходит синхронное переключение на основную тактовую частоту для завершения команды.

Модуль ЕС/31-RT обеспечивает связь с верхним уровнем. Модуль совместим с последовательной многоотводной магистралью MIL1553В и протоколом обмена, разработанным для систем управления ускорителей CERN. В состав модуля входят: контроллер оконечного устройства (КОУ) многоотводной магистрали, двухпортовая буферная память с программной арбитрацией, регистр управления и состояний (CSR), микроконтроллер К1830ВЕ31, интерфейс магистрали BUS1. Протокол обмена реализован в микропрограмме. С целью уменьшения времени отклика обработка принятого командного слова производится аппаратно-программным способом. В ПЛМ (типа К1556ХЛ8) из сигналов КОУ формирует вектор перехода к одной из 12 подпрограмм, соответствующих разрешённым командам. Пока идёт приём команды, микропрограмма готовит статусное слово для ответа на принятое сообщение. По окончании приёма команды считывается вектор перехода и микропрограмма разветвляется в зависимости от принятой команды. Для команд чтения сразу производится запись статусного слова в КОУ и старт передачи. Достаточное быстродействие микроконтроллера, взаимная аппаратная фазировка микросхем и программно-аппаратный способ декодировки командного слова позволяют получить время отклика не более 11 мкс, что меньше допустимого по стандарту (12 мкс).

Специальные аппаратные решения, применённые в модуле на разных уровнях, совместно с заложенными в стандарте принципами восстановления от сбоев обеспечивают высокую надёжность работы связи. Микроконтроллер модуля ЕС/31-RT, находясь в петле ожидания командного слова, перезапускает сторожевой таймер с выдержкой времени 1 мс. В случае сбоя программы, в том числе при приёме сообщения с неправильным числом слов или внезапном обрыве принимаемого сообщения, сторожевой таймер сбрасывает микроконтроллер, восстанавливая нормальную работу связного модуля. Чтобы не блокировать линию связи неправильно работающими передатчиками, интерфейс многоотводной магистрали нормально находится в режиме приёма. Правильно принятая разре-

шённая команда запускает одновибратор с выдержкой около 800 мкс, который только на это время снимает запрет с выходных формирователей. Для восстановления остальных модулей имеется возможность генерации системного сброса модулем ЕС/31-RT при получении команды с кодом режима МС8. Таким образом, аппаратные возможности модуля ЕС/31-RT позволяют создавать устойчивые к сбоям контроллеры оборудования.

Модуль ЕС/31-СС обеспечивает генерацию функциональной зависимости, измерение тока в магнитооптическом элементе, оперативные переключения и считывание статусных состояний источника. В состав модуля входит микроконтроллер, двенадцатиразрядный ЦАП, десятиразрядный АЦП, двухпортовая память (ДПП) объёмом 8 Кбайт, командный регистр, регистр состояния функционального генератора и статусный регистр источника. Управление работой источника и надзор за его состоянием происходит без участия внутреннего микроконтроллера, который используется для генерации функции. Обмен данными между микроконтроллером генератора функций и таймерным модулем (ЕС/31/ТМ) осуществляется через ДПП с помощью командного регистра. В ДПП помимо таблицы векторов для генератора функций хранятся также измеренные значения тока источника в конечной точке векторов. Для арбитража доступа к ДПП используется модифицированный метод с разделением цикла, гарантирующий поочерёдный доступ каждому порту. Генерация векторов производится с использованием универсального алгоритма Брезенхэма. С интервалом 1 мс микроконтроллер вычисляет следующую точку функции и синхронно с таймерным событием заносит новое значение уставки тока в ЦАП. Наличие в модуле ЕС/31/СС микроконтроллера позволяет легко перепрограммировать его для управления различными типами источников питания.

Разработанные модули ЕС/31-RT и ЕС/31-ТМ являются базовыми для построения встраиваемых контроллеров оборудования на основе стандарта BUS1. Они могут быть дополнены модулями E6371, E6372 или ЕС/31-СС для управления источниками питания или другими модулями ввода/вывода для иных задач управления. Унификация аппаратных средств создала предпосылки для унификации протокола доступа к оборудованию. Протокол основан на объектно-ориентированном представлении управляемого источника на основе обобщённой модели. Согласно этой модели, поведение объекта управления определяют несколько классов понятий: аспекты, квалификаторы, состояния, команды, флаги и фазы. Рассмотренные аппаратные средства и обобщённая модель источника были использованы для разработки универсального протокола управления УНК. Унификация протокола доступа на основе обобщённой модели позволила большую часть программного обеспечения выполнить независимой от особенностей источников, что даёт значительные преимущества при интеграции разнотипных источников в единую систему управления.

Для наладки аппаратуры контроллеров, проверки источников питания и комплексной наладки подсистем был разработан модуль PBC, являющийся контроллером многоотводной магистрали и выполненный в стандарте IBM-PC-AT. В составе модуля: интерфейс многоотводной магистрали MIL1553, микроконтроллер КР1830ВЕЗ1 с внешней памятью программ и данных, двухпортовый диалоговый регистр управления и состояний (CSR), двухпортовая память 4К x 16 (ДПП), интерфейс шины ISA. Для организации доступа к ДПП используется модифицированный метод с разделением цикла, гарантирующий поочерёдный доступ каждому порту. Поскольку микроконтроллер не имеет циклов ожидания, то цикл доступа к ДПП совмещён с циклом работы микроконтроллера. При этом микроконтроллер получает прозрачный доступ к ДПП как к собственной памяти без задержки. Для доступа второго порта используется фаза цикла микроконтроллера, в которой производится выборка инструкции из внешней программной памяти. При использовании микроконтроллера семейства MCS51 строб выборки программной памяти PSEN одновременно выполняет функцию стопа чтения/записи ДПП для второго порта.

Реализованный вариант микропрограммы предназначен для использования модуля PBC в составе рабочего места разработчика прикладных программ и для наладки аппаратуры, совместимой с многоотводной магистралью. В качестве программного интерфейса для работы с PBC была написана библиотека функций qdata.lib. Данная библиотека полностью эмулирует функции аналогичной библиотеки, написанной для управления контроллером многоотводной магистрали в стандарте VME в СУ PS (CERN). Модуль PBC можно легко превратить в генератор синхрособытий (PBC-T) заменой микропрограммы и перепрограммированием CSR. Разработанный модуль PBC успешно использовался с рядом прикладных программ. Тестовая программа qtest.exe предназначена для проверки терминалов многоотводной магистрали, а вместе с процессором пользователя – для проверки протокола обмена. На основе PC с модулем PBC и программы qtest.exe был создан стенд для проверки модулей ЕС/31-RT. Модули PBC и PBC-T в составе персональной ЭВМ с соответствующей программной поддержкой использовались для разработки протокола управления источниками питания системы коррекции. Предназначенная для управления источниками питания программа COPTEST, написанная с использованием функций библиотеки quick\_data.lib для работы в среде операционной системы LINX-OS, требует применения рабочей станции, каркаса VME с процессором MVME167 и модулем RTI. Совместимость библиотек функций quick\_data.lib и qdata.lib позволяет рассматривать их как универсальный программный интерфейс между прикладными программами и контроллерами многоотводной магистрали в стандарте MIL1553. Это даёт возможность перенести прикладную программу COPTEST без существенных изменений и с помощью PC проводить разработку прикладных программ для встраиваемых контроллеров источников питания. Таким образом, модуль PBC (PBC-T) позволяет создавать рабочее место разработчика

контроллеров оборудования для различных подсистем управления на основе более доступных и дешёвых персональных компьютеров.

**В третьей главе** представлена аппаратура в стандарте VME с унифицированным интерфейсом. Основная цель унификации – снижение трудоёмкости разработки аппаратных средств, предназначенных для работы в реальном времени.

Суть унифицированного подхода заключается в использовании общей архитектуры, фиксированного распределения адресного пространства, единого назначения разрядов регистра статуса и управления. В состав унифицированного интерфейса входит регистр вектора прерывания, двухпортовый регистр статуса и управления (CSR), двухпортовая память объёмом 64К и микроконтроллер DS80C320. Функциональная часть модуля сопрягается непосредственно с микроконтроллером при помощи 40 специфицированных сигналов, включая синхроимпульсы, поступающие через разъёмы передней панели. Каждому модулю отводится в адресном пространстве VME по 64К. Эта зона адресов независимо от типа модуля разбита относительно базового адреса, как показано в таблице 1.

Таблица 1

Адрес	Назначение
00	векторный регистр
02	селективная установка CSR
04	селективный сброс CSR
06	чтение CSR
08	программный сброс модуля
0x100 - 0x1FFF	зона DPM для задания режима
0x200 - 0xFFFF	зона DPM для хранения данных

Задание режима и чтение результата происходит через DPM, а управление работой модуля и определение его статуса с помощью CSR. Назначение разрядов регистра CSR приведено в таблице 2.

Таблица 2

Bit		Description	VME		μC	
			set	clear	set	clear
D15	Hlt	Остановка микроконтроллера			set	clear
D14	M4	Номер модуля 4				
D13	M3	Номер модуля 3				
D12	M2	Номер модуля 2				
D11	M1	Номер модуля 1				
D10	M0	Номер модуля 0				
D9	Rdy	Готовность модуля			set	
D8	ine	Разрешение прерывания	set	clear		
D7	int	Запрос на прерывание		clear	set	

D6	tst	Выполнить тест	set	clear		
D5	sc	Выполнить реконфигурацию	set			clear
D4	dfh	Готовность данных		clear	set	
D3	err	Ошибка		clear	set	
D2	cse	Реконфигурация завершена		clear	set	
D1	tr/end	Внешний стоп/конец		clear	set	
D0	go	Старт	set			clear

В таблице 3 приведены основные состояния унифицированного модуля с указанием соответствующей команды и статуса CSR при нормальном исполнении команды.

Таблица 3

Состояние	Команда	Описание	Флаги
Реконфигурация	sc=1	Перенесение уставок из DPM в рабочие регистры микроконтроллера	cse=1 int=1
Тест	tst=1	Периодическое исполнение тестовой последовательности	tr=1
Исполнение	go=1	Исполнение функциональной последовательности	tr/end=1 dfh=1 int=1
Ожидание команды		Циклический опрос регистра CSR	CSR=0

Зона адресов DPM от 0x100 до 0x200 используется для задания параметров режима работы (уставок) и хранения диагностической информации. Распределение адресного пространства в этой области памяти зависит от типа модуля, но часть ячеек имеет единое назначение для всех модулей, как показано в табл. 4.

Таблица 4

0x100 - 0x11f	идентификаторы модуля
0x120	метка цикла
0x122	таймаут
0x130	режим работы
0x134 - 0x17e	регистры задания уставок
0x180 - 0x1de	статусные данные
0x1e0	тип ошибки
0x1e2	CSR в цикле ошибки
0x1e4	режим в цикле ошибки
0x1e6	номер цикла ошибки
0x1e8 - 0x1fe	диагностическая информация

Для организации доступа к ДПП используется модифицированный метод с разделением цикла, гарантирующий поочерёдный доступ каждому порту. Для доступа второго порта используется фаза цикла микроконтроллера, в которой производится выборка инструкции из внешней программной памяти.

В главе приведено техническое описание и параметры модулей, разработанных на основе унифицированного интерфейса. Модуль VTG имеет 8 таймерных каналов с максимальной тактовой частотой 8 МГц и 16 многофункциональных каналов с тактовой частотой 1 кГц. Модуль VSA осуществляет 12-разрядное преобразование по каждому из 16 каналов с темпом 5мкс/канал и хранением результата в буферной памяти. Модуль VMA отличается от VSA тем, что имеет в составе 16-разрядный, 32-канальный АЦП с темпом преобразования 30 мкс/канал. Для генерации функциональных зависимостей разработан модуль VFG, имеющий два 12-разрядных ЦАП и использующий программный способ генерации функции с помощью микроконтроллера. Модуль VCT включает в свой состав восемь 32-разрядных программируемых счётчиков с максимальной тактовой частотой 8 МГц. Наличие микроконтроллеров в модулях обеспечивает гибкую адаптацию аппаратуры для каждого применения. На основе разработанных модулей создан контроллер оборудования для измерения профиля, интенсивности и потерь пучка в каналах частиц У-70. В состав КО входят следующие модули: VSA – измерение профиля и интенсивности быстрого вывода, VMA – измерение интенсивности медленного вывода, VCT – измерение потерь, VTG – синхронизация процесса измерения. Программирование подсистемы осуществляется достаточно просто, поскольку структура программы однородна и не требует точной привязки к реальному времени на программном уровне. В штатном режиме программа работает только с регистрами CSR модулей и считывает данные из ДПП модулей VSA, VMA и VCT. Координацию процесса измерения в реальном времени осуществляет микроконтроллер модуля VTG, а набор данных – микроконтроллеры соответствующих модулей. Унифицированный интерфейс позволяет совместить преимущества универсального подхода – снижение общих трудозатрат на разработку аппаратно-программных средств контроллеров оборудования – с возможностью гибкой адаптации алгоритмов реального времени для каждого конкретного применения.

**В четвёртой главе** представлены мезонинные платы IPS, IP-PIO и IP-CAN, предназначенные для установки в процессорный модуль MVME162 или другой модуль-носитель, соответствующий спецификации стандарта Industry Pack. Все три платы выполняют коммуникационные функции, обеспечивая обмен данными с контроллерами оборудования. Платы IPS, IP-PIO, IP-CAN предназначены для подключения аппаратуры в стандарте SEDAC, коммерческой системы D3, а также аппаратуры, совместимой со стандартом CAN для системы управления криогенными установками ускорительного комплекса DESY (Германия).

Особенностью платы IPS является наличие в ней микроконтроллера PIC16C84, который выполняет функцию протокольной микросхемы. Микроконтроллер позволяет значительно упростить аппаратную часть интерфейса SEDAC, а также легко модифицировать временные соотношения между сигналами для увеличения пропускной способности внутрикаркасной магистрали. Задание и старт одного из четырёх фиксированных алгоритмов обмена данными осуществляется путём записи управляющих разрядов в регистр состояния платы (CSR).

Плата IP-PIO имеет аппаратно-совместимый коммуникационный порт системы D3 и программно-совместимый интерфейс с центральным процессором модуля-носителя. В составе IP-PIO: 8-разрядный микроконтроллер (DS80C320), двухпортовая память (ДПП), приемопередатчики, ПЗУ и интерфейс IP. Применение микроконтроллера позволило значительно уменьшить число микросхем для исполнения протокола по сравнению с аппаратной реализацией, повысить надёжность и тестируемость платы. Плата IP-PIO поддерживает синхронный протокол, состоящий из четырёх фаз: передачи команды сброса селекторов адреса, передачи адреса, чтения/записи данных (или диагностических данных), чтения статусного слова. При тактовой частоте 1 МГц скорость обмена составляет 100 Кбайт/с. Для достижения высокой скорости обмена при программной реализации протокола используется специальная организация памяти. Адресное пространство разбито на четыре зоны по 32 байта. В области адресов 00 – 1Fh осуществляется прямой доступ в память, а именно: при чтении микроконтроллером регистра ввода/вывода данные одновременно записываются в коммуникационный порт, а при записи регистра ввода/вывода данные в одном цикле считываются из коммуникационного порта и заносятся в ДПП. Микроконтроллеру предоставлена возможность непосредственного обращения к коммуникационному порту (область адресов 40h – 5Fh) или регистрам ввода/вывода (область адресов 60 – 7Fh). Для организации доступа к ДПП используется модифицированный метод с разделением цикла, гарантирующий поочерёдный доступ каждому порту. Цикл памяти совмещён с циклом работы микроконтроллера. Для доступа второго порта используется фаза цикла микроконтроллера, в которой производится выборка инструкции из внешней программной памяти. Строб выборки программной памяти PSEN одновременно выполняет функцию стопа чтения/записи ДПП для порта IP. Два двунаправленных регистра 74ACTQ646 обеспечивают согласование 16-разрядной шины данных IP с 8-разрядной внутренней шиной IP-PIO.

Плата IP-CAN представляет собой стандартный интерфейс локальной сети CAN, построенный на основе протокольных микросхем фирмы Philips. Особенностью платы IP-CAN является возможность установки в ней как контроллера протокола PCA82C200, удовлетворяющего спецификации CAN-2.0A, так и микросхемы SJA1000, удовлетворяющей спецификации CAN-2.0B. Плата IP-CAN включает в себя следующие функциональные блоки: интерфейс IP, контроллер



протокола, регистр вектора прерывания, ПЗУ с идентификаторами платы, приемопередатчики, узлы гальванической развязки (DC/DC преобразователь и оптроны). Контроллер SJA1000 обеспечивает полную совместимость с PCA82C200 и существующими программными драйверами, а также дополнительные возможности, главные из которых – это 29-разрядный идентификатор, 64-байтный приёмный буфер и расширенная диагностика ошибок. В приёмном буфере SJA1000 можно накапливать несколько сообщений сети CAN, что значительно снижает частоту прерываний, поступающих на процессор. Чтобы обеспечить совместимость с двумя протокольными микросхемами, используются два адресных пространства. При обращении к адресному пространству ввода-вывода (IOSel = 0) происходит доступ к регистрам PCA82C200 и части регистров SJA1000 (совместимый режим). При адресации памяти (MEMSel = 0) происходит обращение ко всем регистрам SJA1000 (полный режим).

Применение мезонинных технологий позволяет в рамках единой архитектуры и аппаратной базы объединять разнородное оборудование на уровне управления процессом. Такое подключение осуществляется путём установки коммуникационной IP-платы (IPS, IP-PIO или IP-CAN) в связной контроллер и программного драйвера для соответствующего протокола. Этот метод имеет несомненное преимущество, так как использует универсальный интерфейс с верхним уровнем и не требует больших затрат на разработку специальной IP-платы.

**В Заключение** диссертации кратко сформулированы основные результаты работы.

1. Разработана и внедрена в СУ ускорителей У-70 (ИФВЭ), PS (CERN) и бустера FNAL аппаратура в стандартах СУММА и САМАС. Для увеличения производительности аппаратура построена с применением конечных автоматов и буферной двухпортовой памяти.
2. Для создания встраиваемых контроллеров освоена аппаратура в конструктиве "Евромеханика" с межмодульной магистралью BUS1. С использованием стандарта BUS1 разработана и внедрена в систему управления каналом инъекции У-70 аппаратура аналого-цифрового ввода/вывода для построения двух типов встраиваемых контроллеров источников питания (ИП) с высокими эксплуатационными характеристиками. Разработан трёхплатный контроллер ИП коррекции для СУ УНК с применением микроконтроллеров, подключаемый к системе управления с помощью двух последовательных каналов MIL1553 (данных и синхрособытий). Создан стенд на основе персонального компьютера и двух модулей PBC и PBC-T для разработки прикладных программ. С помощью данного стенда реализован протокол управления с использованием обобщённой модели источника питания.
3. Предложена структура унифицированного интерфейса модулей VME на основе двухпортовой памяти (ДПП), регистра статуса и управления (CSR) и микроконтроллера. Разработаны 5 типов модулей с унифицированным ин-

терфейсом. На их основе созданы контроллеры для измерения параметров выведенного пучка в каналах частиц У-70.

4. Предложен модифицированный метод доступа к ДПП с разделением цикла и использованием строба выборки инструкции для схем, содержащих микроконтроллеры семейства MCS51. Метод успешно реализован в разнообразной аппаратуре ввода/вывода, выполненной в стандартах VME, ISA, BUS1, IP.
5. Разработаны платы IPS и IP-PIO с использованием микроконтроллеров в качестве интеллектуальных интерфейсов и программной реализацией протоколов обмена данными, что позволяет значительно сократить аппаратную часть и повысить надёжность работы. Связные платы IPS, IP-PIO и IP-CAN применены в модернизированной системе управления криогенными установками ускорителя HERA (DESY) для интеграции разнородных контроллеров оборудования в единую систему управления.

#### Список литературы

- [1] А.П.Елин, В.В.Комаров, **А.А.Матюшин**. Управление токами в магнитных элементах вывода при помощи мини-ЭВМ PDP-8/L. Препринт ИФВЭ, 80 - 155, Серпухов, 1980.
- [2] **A.Matiouchine**. 16K Words Buffer Memory 80.352 CO. CERN- PS/CO/ Note 81-28. 1981. CERN.
- [3] Л.А.Ким, В.В.Комаров, **А.А.Матюшин**. Многоканальная аппаратура сбора информации в системе медленного вывода. Препринт ИФВЭ 82-63, Серпухов, 1982.
- [4] А.П.Елин, **А.А.Матюшин**, Э.А.Меркер. Измерение профиля пучка при медленном выводе протонов из ускорителя ИФВЭ. Препринт ИФВЭ 82-204, Серпухов, 1982.
- [5] **А.А.Матюшин**. Некоторые тенденции построения систем управления современных ускорителей (структура вычислительных средств и интерфейс). Второй Всесоюзный семинар по автоматизации научных исследований в ядерной физике и смежных областях. Пленарные доклады. Новосибирск, 1982. 130-148.
- [6] А.П.Елин, **А.А.Матюшин**, Э.А.Меркер. Измерение профиля пучка при медленном выводе протонов из У-70. Труды восьмого Всесоюзного совещания по ускорителям заряженных частиц. Дубна, 1983. т.1, 358-361.
- [7] Ю.В.Ермолин, **А.А.Матюшин**, В.Г.Рыбаков. Опытная модульная система с многопроцессорной магистралью. Препринт ИФВЭ 83-33, Серпухов, 1983.
- [8] Ю.В.Ермолин, **А.А.Матюшин**, В.Г.Рыбаков. Опытная многопроцессорная система с магистралью Евробас. Приборы и техника эксперимента, № 3. 1984. 62-66.
- [9] **Alexander Matyushin**, Robert J. Ducar. SAMAC 372 Module. Digital Function Generator. Controls Hardware Release No. 62.0, March 25, 1988. ED-218425, Fermilab.
- [10] Ю.И.Бардик, Е.Н.Каллистратов, В.В.Комаров, **А.А.Матюшин**, Г.А.Обухов. Измерение параметров многослойных объединительных панелей в стандарте BUS-1. Препринт ИФВЭ 93-95. Протвино, 1993.
- [11] Yu. Bardik, A. Dunaitsev, E. Kallistratov, L. Kim, V. Komarov, V. Kovaltsov, A.Lukyantsev, A. Machnachev, **A. Matiouchine**, G. Obukhov, V. Soloviev, A.Sytin, Yu.

- Tchernoousko, G. Tishin, N. Trofimov, P. Vetrov. Toolkit for UNK equipment controllers development. Proceedings of ICALEPCS 93. Berlin. Germany. October 18-23, 1993. Nucl. Instr. Methods Phys. Res., A347. (1994). 421-423.
- [12] Ю.И.Бардик, Е.Н.Каллистратов, В.В.Комаров, **А.А.Матюшин**, Г.А.Обухов. Терминал многоотводной магистрали на основе микроконтроллера. Препринт ИФВЭ 93-34, Протвино, 1993.
- [13] А.Елин, Л.Копылов, **А. Матюшин**, М.Микеев, Е. Шербаков, Н. Трофимов, В. Yourpalov, S. Zelepoukin. Control protocol for the UNK control system. Proceedings of ICALEPCS 93. Berlin. October 18-23, 1993. Nucl. Instrum. Methods Phys. Res., A347. (1994). 271 –273.
- [14] Ю.И.Бардик, Е.Н.Каллистратов, **А.А.Матюшин**, Г.А.Обухов, Н.Н.Трофимов. Контроллер многоотводной магистрали для IBM PC/AT. Препринт ИФВЭ 93-113, Протвино, 1993.
- [15] Yu.Bardik, E.Kallistratov, A.Machnachev, **A.Matiouchine**, G.Obukhov. Microcontrollers applications for IHEP accelerator control. Proceedings of ICALEPCS 95. Fermilab Report CONF-96/069. Chicago. 1996. 980-982.
- [16] V.V.Gotzev, V.V.Komarov, I.V.Lobov, **A.A.Matyushin**, A.V.Popov, Yu.S.Tchernoousko, V.I.Terekhov. Beam abort triggering and beam dynamic interlock systems of the IHEP accelerator complex. Proceedings of ICALEPCS 95. Fermilab Report CONF-96/069. Chicago. 1996.
- [17] **A.Matiouchine**, A.Sytin, P.Vetrov, S.Zelepoukine (IHEP), M.Clausen, W.Ebenritter, B.Schoeneburg (DESY). A configurable RT OS powered fieldbus controller for distributed accelerator control. Proceedings of ICALEPCS 97, Beijing, P.R. China, 1997. Science Press. 1998. 321-324.
- [18] V.Kovaltsov, A.Loukiantsev, **A.Matyushin**, V.Milyutkin, I.Romanov, V.Seleznev, A.Sytin, M.Clausen. Upgrading of the beam diagnostic system of U-70 beam transfer lines. ICALEPCS 2001, San Jose, USA.

*Рукопись поступила 15 апреля 2002 г.*

А.А. Матюшин

Разработка аппаратуры унифицированных контроллеров оборудования для систем управления электрофизическими установками ускорителей.

Оригинал-макет подготовлен с помощью системы Word.

Редактор Л.Ф. Васильева

Технический редактор Н.В. Орлова.

---

Подписано к печати 17.04.2002. Формат 60x84/16. Офсетная печать.  
Печ.л. 1,06. Уч.-изд.л. 1,3. Тираж 100. Заказ 73. Индекс 3649.  
ЛР №020498 06.04.97.

---

ГНЦ РФ Институт физики высоких энергий  
142280, Протвино Московской обл.

Индекс 3649

---

**АВТОРЕФЕРАТ 2002 –13, ИФВЭ, 2002**

---