



ГОСУДАРСТВЕННЫЙ НАУЧНЫЙ ЦЕНТР РОССИЙСКОЙ ФЕДЕРАЦИИ
ИНСТИТУТ ФИЗИКИ ВЫСОКИХ ЭНЕРГИЙ

ИФВЭ 99-31
ОЭА

А.Н. Исаев, В.А. Сенько, В.И. Якимчук

АППАРАТУРА ДЛЯ БУФЕРИЗАЦИИ ДАННЫХ
В СИСТЕМЕ МИСС

Направлено в ПТЭ

Протвино 1999

Аннотация

Исаев А.Н. и др. Аппаратура для буферизации данных в системе МИСС: Препринт ИФВЭ 99-31. – Протвино, 1999. – 12 с., 6 рис., 1 табл., библиогр.: 4.

Описаны модули буферной памяти и автономные контроллеры системы МИСС, применяемые в системах сбора информации экспериментальных установок ИФВЭ. Использование многоуровневой буферизации данных при наличии соответствующей триггерной логики позволяет проводить отбор событий и передавать в ЭВМ только полезную информацию.

Abstract

Isaev A.N. et al. The Apparatus of the MISS System for the Data Buffering: IHEP Preprint 99-31. – Protvino, 1999. – p. 12, figs. 6, tables 1, refs.: 4.

The modules of the buffering memory and auxiliary controllers of the MISS system designed for the data acquisition of the IHEP experimental setups are described. The use of the multilevel buffering and additional trigger electronics allows one to make the event selection and send the useful information to the computer.

В ИФВЭ разработана и широко используется в системах сбора данных экспериментальных установок электронная система МИСС [1]. Эта система предполагает наличие двух информационных каналов: быстрого одностороннего канала сбора данных и относительно медленного канала контроля и управления. Аппаратура для реализации канала контроля и управления описана в работе [2]. В данной работе представлены принцип работы канала сбора данных и аппаратные средства для его построения.

1. Канал сбора данных системы МИСС

Структурная схема системы сбора данных на основе электронной аппаратуры МИСС дана на рис.1.

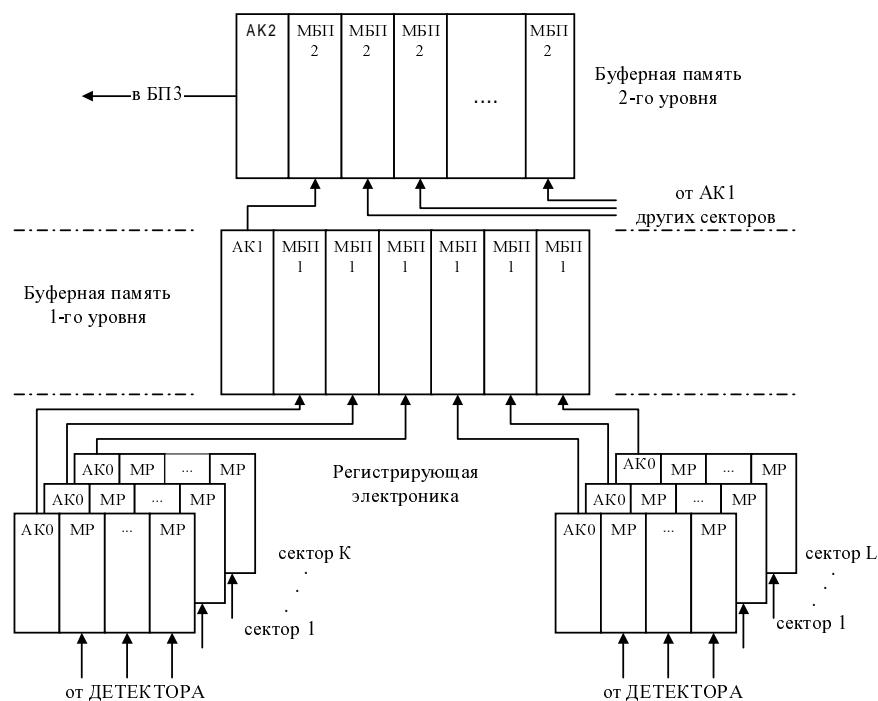


Рис. 1. Структурная схема системы сбора данных.

Регистрирующая электроника (или электроника нулевого уровня) располагается в секторах. Каждый сектор содержит модули регистрации (МР) одного типа и специализированный контроллер, называемый автономным контроллером (АК0). Этот контроллер управляет работой подчиненных ему блоков во время регистрации принимаемых от детекторов сигналов, опрашивает модули регистрации, имеющие информацию, производит ее первичную обработку (фильтрацию, вычитание пьедесталов и т.п.) и передачу в модуль буферной памяти первого уровня (МБП1). Передача завершается записью дополнительного слова — идентификатора конца события. Буферные памяти — это памяти типа FIFO емкостью, позволяющей хранить информацию нескольких физических событий. Автономный контроллер буферной памяти первого уровня (АК1) выполняет опрос модулей памяти так, что из каждого модуля извлекаются данные, относящиеся к одному событию, и передает эту информацию с дополнительным идентификатором конца события в виде одного массива в модуль буферной памяти второго уровня (МБП2). Таким образом, разделителем событий в буферной памяти второго уровня являются два соседних слова-идентификатора. Память второго уровня может быть реализована в любом стандарте (МИСС, КАМАК, FASTBUS, VME и т.д.). Количество уровней буферной памяти определяется условиями конкретной экспериментальной установки.

Передача информации от автономного контроллера в модуль памяти осуществляется по кабельному каналу, содержащему 20 сигнальных линий. Сигналы — однофазные, а их уровни соответствуют уровням микросхем ЭСЛ. Названия сигналов и их соответствие контактам применяемого разъема СНО51-40 даны в приложении 1, а временная диаграмма работы канала — на рис.2.

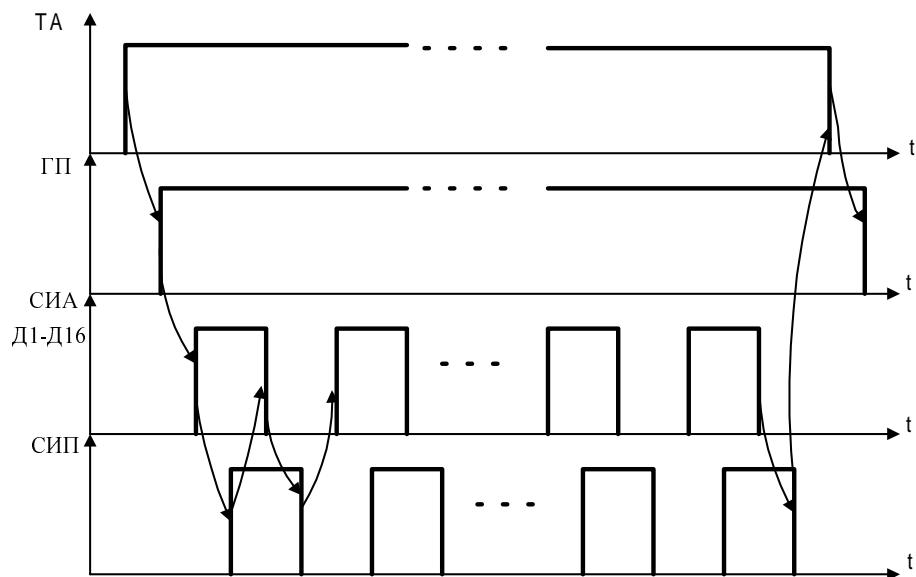


Рис. 2. Временная диаграмма передачи информации по кабельному каналу.

Для передачи информации контроллер посылает в память сигнал ТА. Получив разрешение (ГП), контроллер выставляет на линиях Д1 – Д16 код данных, сопровождаемый сигналом СИА. Модуль памяти по переднему фронту СИА записывает полученное слово и отвечает сигналом СИП. Передача слова завершается снятием сигналов СИА и СИП. После выдачи всей информации снимаются сигналы ТА и ГП.

Взаимодействие автономного контроллера с модулями буферной памяти первого уровня по магистрали сектора МИСС поясняет временная диаграмма, приведенная на рис.3. Названия сигналов и соответствующие им контакты разъема СНП59-64 даны в приложении 2. Контроллер устанавливает режим чтения сигналом ПЧИ, в ответ на который каждый модуль памяти выставляет сигнал на линию ТР (по логике ИЛИ). Через определенное время (100 нсек) контроллер посыпает запрос на чтение слова из памяти (сигнал СИ1), имеющей приоритетное право. Временная задержка необходима для установления сигнала на приоритетной цепи ВхП1/ВыхП1. Модуль памяти, имеющий на линии ВхП1 разрешающий потенциал, отвечает на запрос контроллера выдачей кода данных и сигнала СИ2. Процедура чтения текущего модуля памяти завершается, когда считывается идентификатор конца события (старший разряд кода данных имеет единичное значение). Модуль памяти снимает свой сигнал ТР и устанавливает разрешение для следующего модуля по приоритетной цепи. После опроса последнего модуля будет снят сигнал на линии ТР, что приведет к снятию ПЧИ.

Работа контроллера и памяти на втором уровне имеет одно отличие: конец события фиксируется при чтении из модуля памяти двух соседних слов с единичными значениями старших разрядов.

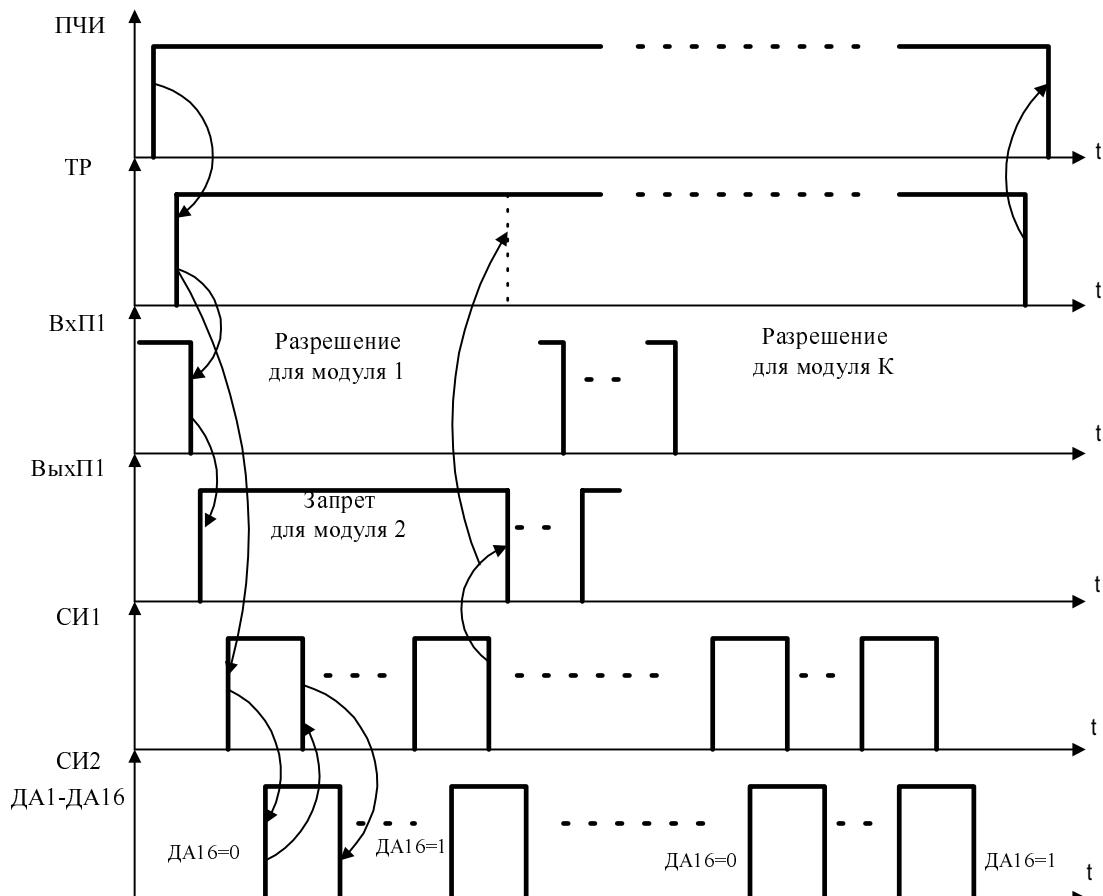


Рис. 3. Временная диаграмма взаимодействия контроллера и модулей памяти по магистрали сектора МИСС.

Автономные контроллеры и буферная память, используемые совместно с “решающим” устройством, позволяют стирать информацию негодного события непосредственно в буферной памяти. Решение о годности последнего записанного события должно быть принято до получения модулями памяти информации следующего события. Для стирания информации события из буферной памяти МИСС (на любом уровне) автономный контроллер устанавливает в магистрали сектора сигнал БС.

2. Модули буферной памяти

Разработаны два типа модулей буферной памяти, получившие в номенклатуре МИСС названия ЛЭ-56 и ЛЭ-64. В таблице 1 приведены их основные характеристики. Оба типа модулей могут применяться как на первом, так и на втором уровнях. Основные функциональные отличия модуля ЛЭ-64 от модуля ЛЭ-56:

- в качестве памяти используется микросхема IDT7203/04/05/06, организованная по принципу FIFO;
- наличие режима последовательного чтения номеров модулей (ПЧН);
- возможность записи информации в память по магистрали сектора.

Таблица 1.

Название модуля	Тип используемой микросхемы памяти	Емкость модуля памяти	Время выполнения записи/чтения	Возможность стирания события	ПЧН
ЛЭ-56	K537РУ10	2K*16	~ 400 нсек	есть	нет
	K537РУ25		~ 120 нсек		
ЛЭ-64	IDT7203 IDT7204 IDT7205 IDT7206	2K*16 4K*16 8K*16 16K*16	~ 80 нсек	нет	есть

Примечание 1. Время выполнения операции записи — интервал между передними фронтами сигналов СИА и СИП; чтения — между передними фронтами сигналов СИ1 и СИ2.

Примечание 2. Время выполнения операций зависит от быстродействия применяемых микросхем.

Структурная схема модуля ЛЭ-56 дана на рис.4. Информация для записи поступает со стороны передней панели от автономного контроллера, опрашивающего регистрирующую электронику, либо от автономного контроллера памяти первого уровня. Уровень памяти задается переключателем У, установленным на печатной плате. Считывание информации в режиме сбора данных осуществляется автономным контроллером, а в режиме тестирования могут применяться более медленные контроллеры связи [2] с ЭВМ “Электроника-60”. При наличии адаптеров [3] эти контроллеры могут передавать информацию в IBM PC или в память VME.

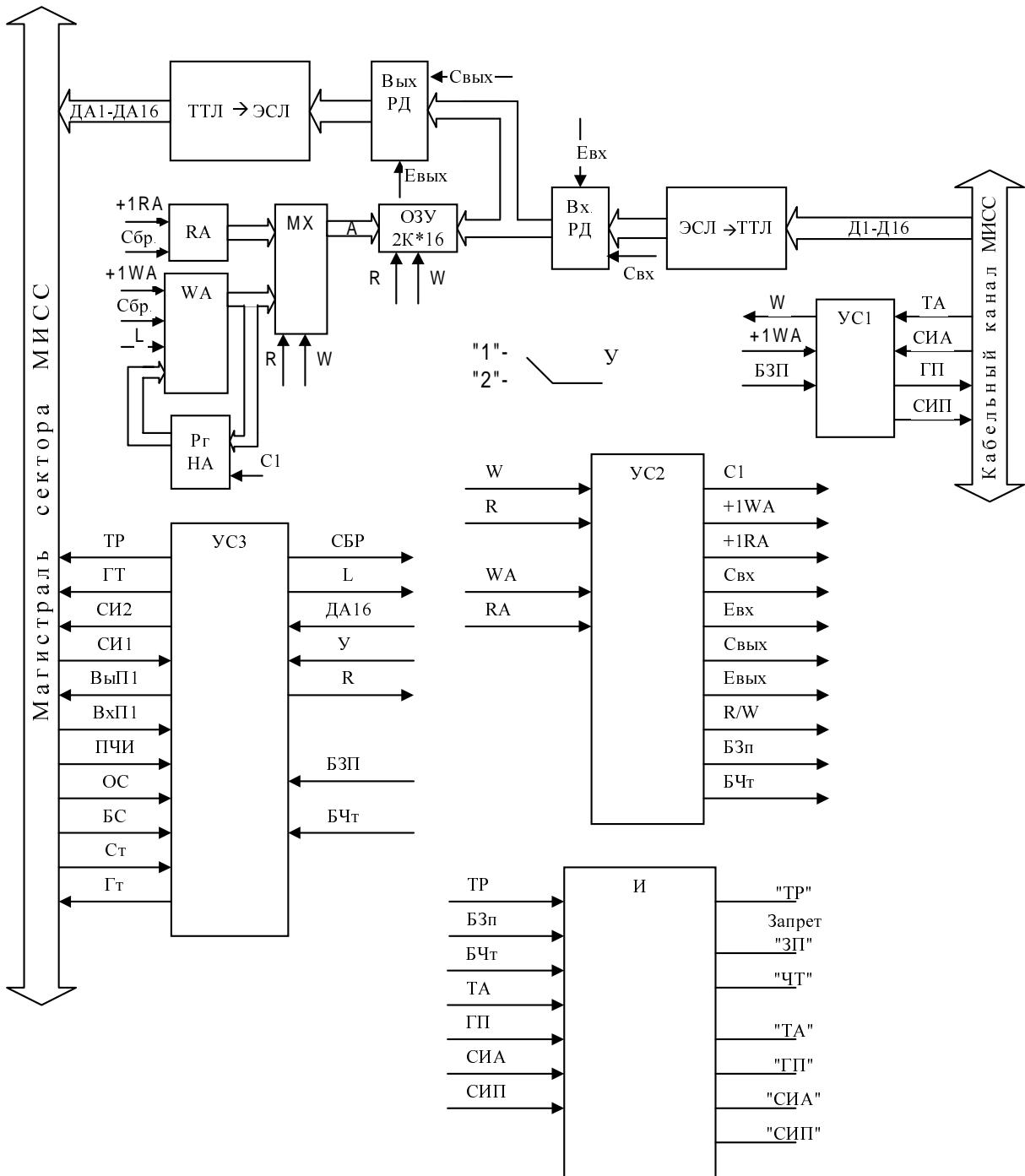


Рис. 4. Структурная схема модуля ЛЭ-56.

Подлежащие записи данные заносятся во входной регистр данных (Вх.РД), прочитанные — в выходной регистр (Вых.РД). Адрес выбранной ячейки в режиме записи поступает в память от адресного счетчика WA, а в режиме чтения — от адресного счетчика RA через мультиплексор MX. Начальный адрес события запоминается в регистре НА. Если последнее принятное событие не удовлетворяет заданным критериям,

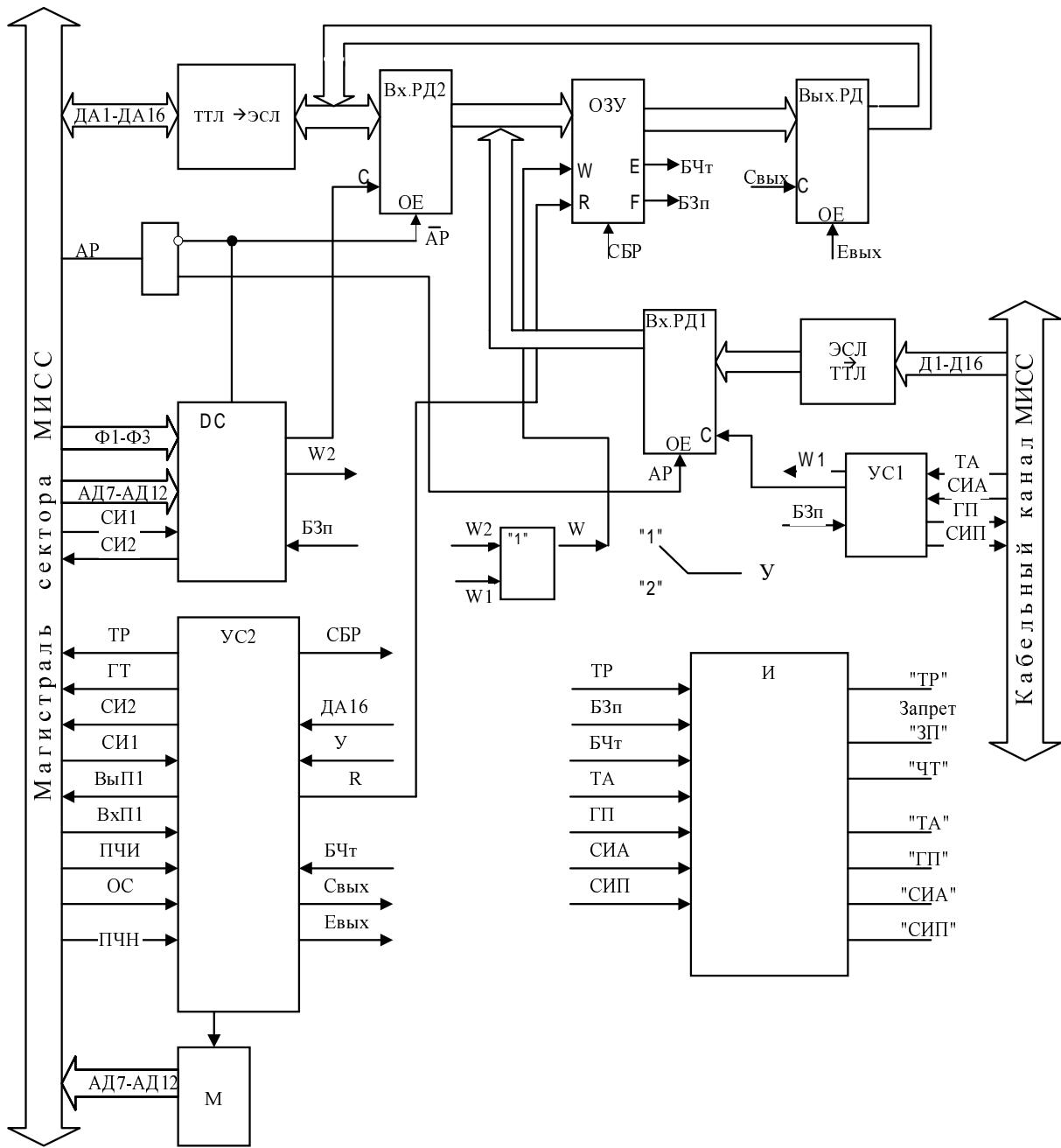


Рис. 5. Структурная схема модуля ЛЭ-64.

происходит “вычеркивание” этого блока данных из памяти переписыванием содержимого регистра НА в адресный счетчик WA.

Узел синхронизации УС1 по сигналу ТА и при наличии свободного места в памяти вырабатывает сигнал ГП. По сигналу СИА формируется строб Csvx для записи информации во входной регистр и сигнал записи в память W. При отсутствии места в памяти на вход УС1 поступает сигнал блокировки записи БЗп, что приведет к запрету сигнала ГП.

Узел синхронизации УС3 обеспечивает взаимодействие модуля с магистралью сектора. Сигналом сброса ОС модуль устанавливается в исходное состояние: разрешается запись и запрещается чтение. По сигналу БС формируется сигнал L для переписи начального адреса события в регистр WA. Автономный контроллер сигналом “Старт” (Ст) указывает модулям памяти о наличии в регистрирующей электронике информации нового события. Модули памяти в ответ устанавливают сигналы на линию Гт. После записи события в модуль памяти сигнал Гт снимается. Когда все модули памяти завершат прием данных события, произойдет снятие сигнала с линии Гт. Контроллер может выполнять операцию чтения модулей памяти. По сигналу ПЧИ начинается чтение из памяти одного блока данных. Если данный модуль имеет разрешение на чтение (сигналом ВхП1), то из сигнала СИ1 формируется сигнал чтения R.

Узел синхронизации УС2 по сигналам W и R с учетом состояния адресных счетчиков WA и RA вырабатывает управляющие сигналы для выполнения операций записи/чтения, либо блокирует эти операции (чтение пустой памяти или запись в заполненную память).

Узел индикации И обеспечивает индикацию основных сигналов светодиодными индикаторами типа АЛ307.

Структурная схема модуля ЛЭ-64 представлена на рис.5.

Источник вводимой в память информации определяется режимом работы сектора МИСС. При сборе данных сектор переводится в автономный режим (AP). В этом случае разрешена запись через кабельный канал. Узел синхронизации УС1 формирует сигналы записи информации во входной регистр (ВхРД1) и запрос на запись W1.

Если автономный режим выключен (тестовый режим), то запись осуществляется через магистраль сектора в режиме адресной передачи, при котором для записи каждого слова в память требуется выдача команды, содержащей в себе коды функции (Ф) и номера модуля (М). Дешифратор команды (DC) вырабатывает строб-сигнал записи информации во входной регистр (ВхРД2) и запрос на выполнение записи W2. Этот режим предназначен для проведения настройки и тестирования. Чтение модуля ЛЭ-64 выполняется аналогично чтению модуля ЛЭ-56. Все необходимые сигналы вырабатывает узел синхронизации УС2. Микросхема IDT7203/04/05/06, на которой построена память, организована по принципу FIFO. Она имеет раздельные каналы ввода и вывода информации, сигналы управления (W — запись, R — чтение и др.) и статусные сигналы (E — пусто, F — заполнено). Последние применяются для блокировки соответственно чтения и записи. Режим ПЧН, дополнительно введенный в модуль ЛЭ-64, позволяет проводить проверку конфигурации системы. В этом режиме каждый модуль сектора выдает присвоенный ему номер М на линии АД7 – АД12 магистрали сектора. В качестве двунаправленных преобразователей уровней ТТЛ < – > ЭСЛ используются микросхемы K1800BA4.

Уровень памяти задается переключателем У, индикация (узел И) основных сигналов выполнена на индикаторах АЛ307.

3. Автономные контроллеры буферной памяти

Для управления модулями буферной памяти разработаны два типа автономных контроллеров ЛЭ-62 и ЛЭ-65. Оба контроллера имеют одинаковую структурную схему, показанную на рис.6.

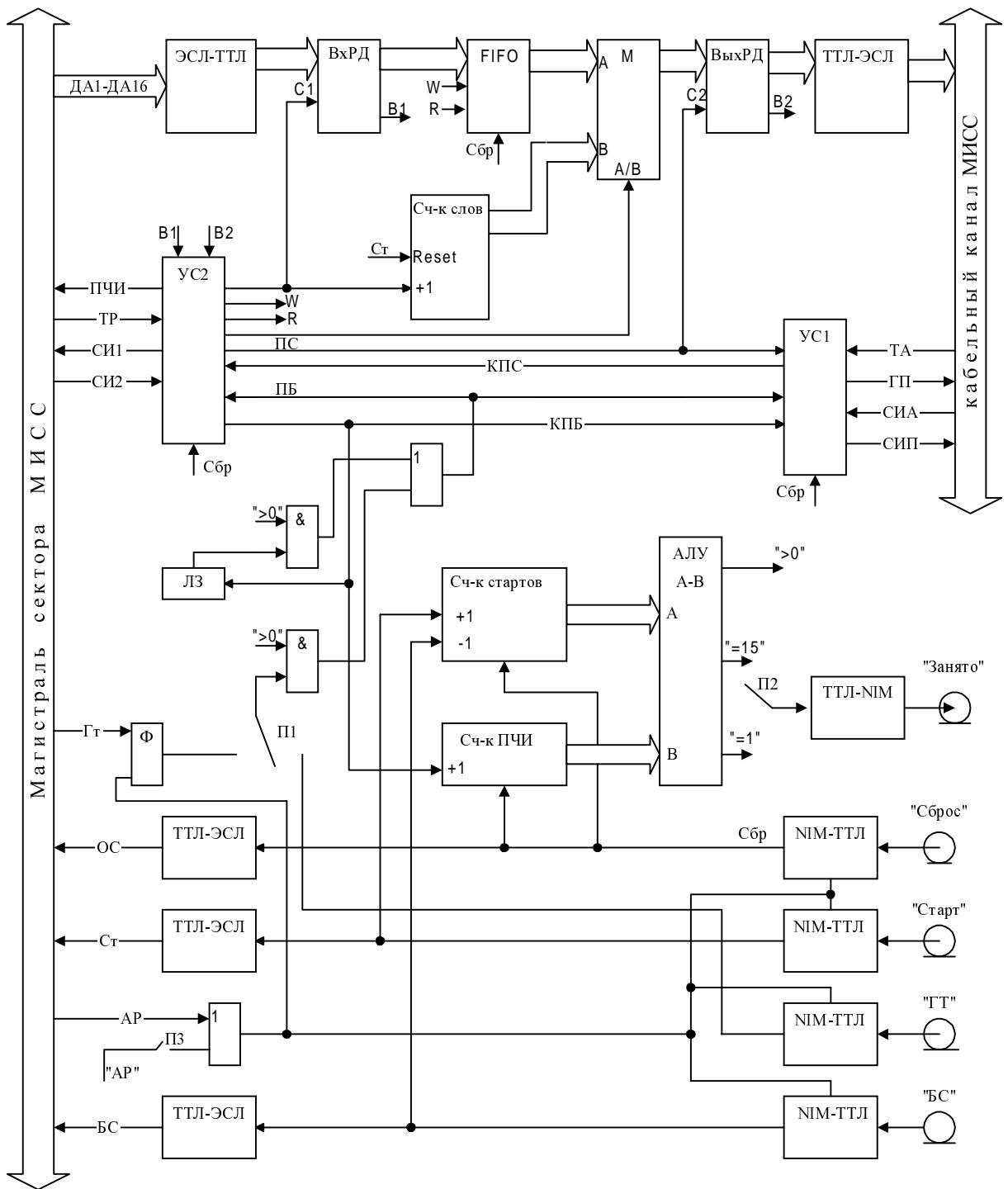


Рис. 6. Структурная схема автономного контроллера буферной памяти.

Право работы с модулями сектора автономный контроллер получает при наличии разрешающего потенциала на линии АР магистрали сектора. Этот сигнал устанавливается контроллером сектора ЛЭ-51 (ЛЭ-20И) [2], либо (при его отсутствии) переключателем

П3. Управление автономным контроллером осуществляется 4-мя внешними сигналами: “Сброс”, “Старт”, ГТ (готовность) и БС (быстрый сброс). Эти сигналы имеют уровни, соответствующие стандарту NIM, и длительность — не менее 50 нсек.

Сигнал “Сброс” предназначен для инициализации контроллера и модулей сектора.

Сигнал “Старт” указывает на наличие триггерного события в системе.

Сигналы ГТ и БС вырабатываются решающим устройством при годности или негодности данного события для передачи его на следующий уровень буферизации. Если решающее устройство не используется, то в качестве ГТ можно применять задержанный сигнал “Старт”. Сигнал БС вызовет стирание данного события из памяти.

Все сигналы (кроме ГТ) при автономной работе транслируются в магистраль сектора.

Запуск контроллера на чтение памяти произойдет при следующих условиях:

- счетчик стартов имеет единичное значение и поступил внешний сигнал ГТ;
- счетчик стартов имеет единичное значение и поступил сигнал Гт из магистрали сектора (выбор сигнала осуществляется переключателем П1). Этот режим работы не предполагает наличия решающего устройства. Как только во все модули памяти сектора запишется событие, они выставляют на линию Гт магистрали сектора активный уровень сигнала, который принимается контроллером по логике И;
- счетчик стартов получил два сигнала “Старт”. Такой режим применяется, если не пользоваться сигналами ГТ и Гт.

Для реализации этих условий в контроллере имеется 4-разрядное АЛУ, выполняющее операцию А–В. В качестве операнда А выступает содержимое счетчика стартов, а в качестве операнда В — содержимое счетчика ПЧИ. Первый счетчик инкрементируется по сигналу “Старт” и декрементируется сигналом БС, а второй — наращивает свое содержимое по окончании чтения события. АЛУ вырабатывает сигналы: “> 0”, “= 1”, “= 2” и “= 15”. Сигналы “= 1” и “= 15” могут применяться для формирования сигнала “Занято”.

После запуска контроллер устанавливает режим ПЧИ по сигналу НПБ (начало передачи блока данных). Узел синхронизации УС1 формирует все необходимые сигналы для взаимодействия с модулями памяти по магистрали сектора, для конвейерной передачи каждого слова из магистрали сектора в кабельный канал и для взаимодействия с узлом синхронизации (УС2) работы кабельного канала. По окончании передачи блока данных из памяти в кабельный канал выдается слово-идентификатор, старший разряд которого имеет единичное значение, а 15 разрядов содержат количество слов в блоке, включая идентификатор. УС2 вырабатывает сигнал КПБ (конец передачи блока), который нарастит содержимое счетчика ПЧИ, и, если АЛУ сохранит сигнал “> 0”, осуществит запуск нового цикла чтения блока данных.

Отличия контроллеров ЛЭ-62 и ЛЭ-65 заключаются в следующем: в модуле ЛЭ-62 для буферизации данных применяются только входной и выходной регистры данных (ВхРД и ВыхРД), а в ЛЭ-65 — память FIFO типа IDT7203. Использование буферной памяти в контроллере позволило развязать работу магистрали сектора и кабельного канала и в два раза повысить скорость передачи информации.

Для тестирования модулей памяти и автономных контроллеров разработана тестовая аппаратура [4].

Заключение

Представленная аппаратура в настоящее время широко применяется в системах сбора данных таких экспериментальных установок ИФВЭ, как ВЕС, СФИНКС, ИСТРА-М и RAMPEХ. Аппаратура обеспечивает надежный сбор информации и высокую скорость ее передачи в ЭВМ (до 8 Мбайт/сек).

В заключение авторы выражают благодарность С.В. Копикову и С.В. Петренко за оказанную помощь при внедрении аппаратуры в системы сбора данных и за высказанные полезные замечания, использованные при ее модернизации.

Список литературы

- [1] Бушнин Ю.Б. и др. — Препринт ИФВЭ 88-47, Протвино, 1988.
- [2] Сенько В.А., Якимчук В.И. — Препринт ИФВЭ 95-105, Протвино, 1995.
- [3] Буянов О.В., Якимчук В.И. — Препринт ИФВЭ 95-104, Протвино, 1995.
- [4] Якимчук В.И. — Препринт ИФВЭ 95-103, Протвино, 1995.

Рукопись поступила 8 июня 1999 года

Приложение 1

Кабельный канал МИСС

Контакт разъема CHO51-40	Название сигнала
1	Разряд данных Д16 (старший)
3	Разряд данных Д15
5	Разряд данных Д14
7	Разряд данных Д13
9	Разряд данных Д12
11	Разряд данных Д11
13	Разряд данных Д10
15	Разряд данных Д9
17	Разряд данных Д8
19	Разряд данных Д7
21	Разряд данных Д6
23	Разряд данных Д5
25	Разряд данных Д4
27	Разряд данных Д3
29	Разряд данных Д2
31	Разряд данных Д1 (младший)
33	Требование контроллера ТА
35	Готовность памяти ГП
37	Синхроимпульс контроллера СИА
39	Синхроимпульс памяти СИП
2, 4, 6, 8, 10 12, 14, 16, 18, 20 22, 24, 26, 28, 30 32, 34, 36, 38, 40	Корпус

Приложение 2

Магистраль сектора МИСС

Название сигнала	Контакт СНП59-64		Название сигнала
	ряд А	ряд С	
Корпус	1	1	Корус
-5.2В	2	2	-5.2В
Резерв	3	3	+5В
-15В	4	4	+15В
ВыхП2	5	5	ДА16
BxP2	6	6	ДА15
ВыхП1	7	7	ДА14
BxP1	8	8	ДА13
АР	9	9	ДА12
Корпус	10	10	ДА11
УР6	11	11	ДА10
-2В	12	12	-2В
ПЧИ	13	13	ДА9
ОС	14	14	ДА8
УР5	15	15	ДА7
Ф3	16	16	ДА6
Ф2	17	17	ДА5
Ф1	18	18	ДА4
ШО	19	19	ДА3
Гт	20	20	ДА2
Тр	21	21	ДА1
ПЧН	22	22	СИ2
АД12	23	23	СИ1
АД11	24	24	АД8
АД10	25	25	АД7
АД9	26	26	АД6
-2В	27	27	-2В
УР4	28	28	АД5
УР3	29	29	АД4
УР2	30	30	АД3
УР1	31	31	АД2
ОВ	32	32	АД1

А.Н. Исаев и др.

Аппаратура для буферизации данных в системе МИСС.

Оригинал-макет подготовлен с помощью системы L^AT_EX.

Редактор Л.Ф. Васильева.

Технический редактор Н.В. Орлова.

Подписано к печати 11.06.99. Формат 60 × 84/8. Офсетная печать.

Печ.л. 1,37. Уч.-изд.л. 1,2. Тираж 130. Заказ 125. Индекс 3649.

ЛР №020498 17.04.97.

ГНЦ РФ Институт физики высоких энергий
142284, Протвино Московской обл.

Индекс 3649

ПРЕПРИНТ 99-31, ИФВЭ, 1999
