ГОСУДАРСТВЕННЫЙ НАУЧНЫЙ ЦЕНТР РОССИЙСКОЙ ФЕДЕРАЦИИ

ИНСТИТУТ ФИЗИКИ ВЫСОКИХ ЭНЕРГИЙ

ИФВЭ 99-49
ОЭА

М.В. Васильев, В.А. Сенько, М.М. Солдатов

16-КАНАЛЬНЫЙ ЗАРЯДОЧУВСТВИТЕЛЬНЫЙ АЦП ДЛЯ СЦИНТИЛЛЯЦИОННЫХ КАЛОРИМЕТРОВ

Направлено в *ПТЭ*

Протвино 1999

УДК 539.1.07 М–24

Аннотация

Васильев М.В., Сенько В.А., Солдатов М.М. 16-канальный зарядочувствительный АЦП для сцинтилляционных калориметров: Препринт ИФВЭ 99-49. – Протвино, 1999. – 10 с., 4 рис., библиогр.: 3.

Описан стробируемый 16-канальный зарядово-цифровой преобразователь, предназначенный для построения многоканальных электронных систем регистрации в экспериментальных и методических установках физики высоких энергий. Чувствительность преобразователя 0,25 пКул/отсчет, динамический диапазон — 12 двоичных разрядов, интегральная нелинейность — 0,1%. Приведены описание структурной схемы и основные параметры модуля.

Abstract

Vasiliev M.V., Senko V.A., Soldatov M.M. 16-Channel Charge-Sensitive ADC for Scintillating Calorimeters: IHEP Preprint 99-49. – Protvino, 1999. – p. 10, figs. 4, refs.: 3.

The paper describes 16-channel charge-to-digital converter, which is intended for build-up of multichannel electronic recording systems in experimental and methodical installations of high-energy physics. The converter sensitivity is 0,25 pC/count, dynamic range is 12 bit, integral nonlinearity is 0.1%. The description of the skeleton diagram and main specifications of the unit are presented.

© Государственный научный центр
Российской Федерации
Институт физики высоких энергий, 1999

Введение

В современной экспериментальной установке физики высоких энергий одними из основных детекторов являются калориметры различного типа, содержащие до нескольких тысяч каналов регистрации. Объём информации, поступающей от подобных детекторов, весьма велик. Это приводит к необходимости предельного уменьшения времени преобразования и обработки информации в аналого-цифровых преобразователях (АЦП), рациональной организации системы считывания, а также введения в модулях АЦП встроенных высокоскоростных систем предварительной обработки и сортировки данных с целью предельного уменьшения объёма информации, передаваемой из АЦП в буферную память.

1. Модуль 16-канального 12-разрядного АЦП ЛЭ-61М

В настоящей работе описан модуль зарядочувствительного 12-разрядного АЦП ЛЭ-61М, являющийся частью быстродействующей системы аналого-цифрового преобразования для регистрации, предварительной обработки принятой с калориметра информации и передачи её в буферные запоминающие устройства. Модуль ЛЭ-61М представляет собой развитие использовавшегося ранее для этих целей модуля ЛЭ-61 [2] и отличается от него наличием некоторых важных сервисных функций и более надёжной и современной элементной базой. Использование в цифровой части модуля микросхем серии К1533 позволяет модулю устойчиво работать на частоте 80 МГц, тогда как модуль ЛЭ-61 давал сбои при работе на этой частоте. Модуль включает в себя 16 независимых каналов преобразования с возможностью вычитания "пьедестальных" значений. Эти значения ("пьедесталы") возникают при использовании в аналоговой части модуля микросхем преобразователей "заряд-время" КР1101ПД1 и представляют собой некоторую величину, присутствующую на выходе преобразователя при отсутствии входного сигнала. Устройство вычитания "пьедесталов" позволяет осуществлять запись во внутреннюю буферную память только значащей информации, т.е. информации только с тех каналов, на которые поступил входной сигнал. Модуль реализован в системе МИСС [1], про-

токол которой обеспечивает один из наиболее быстрых способов передачи рассеянных данных во внешние запоминающие устройства.

2. Общее описание модуля ЛЭ-61М

Модуль ЛЭ-61М представляет собой совокупность стробируемого 16-канального 12-разрядного АЦП заряда импульса тока (QDC), арифметического устройства, предназначенного для вычитания "пьедесталов", и внутренней буферной памяти на одно событие. Модуль выполнен в системе МИСС и занимает 1 место в секторе. Для обеспечения протокола обмена с магистралью МИСС в модуле предусмотрена интерфейсная схема.

Блок-схема модуля представлена на рис. 1.

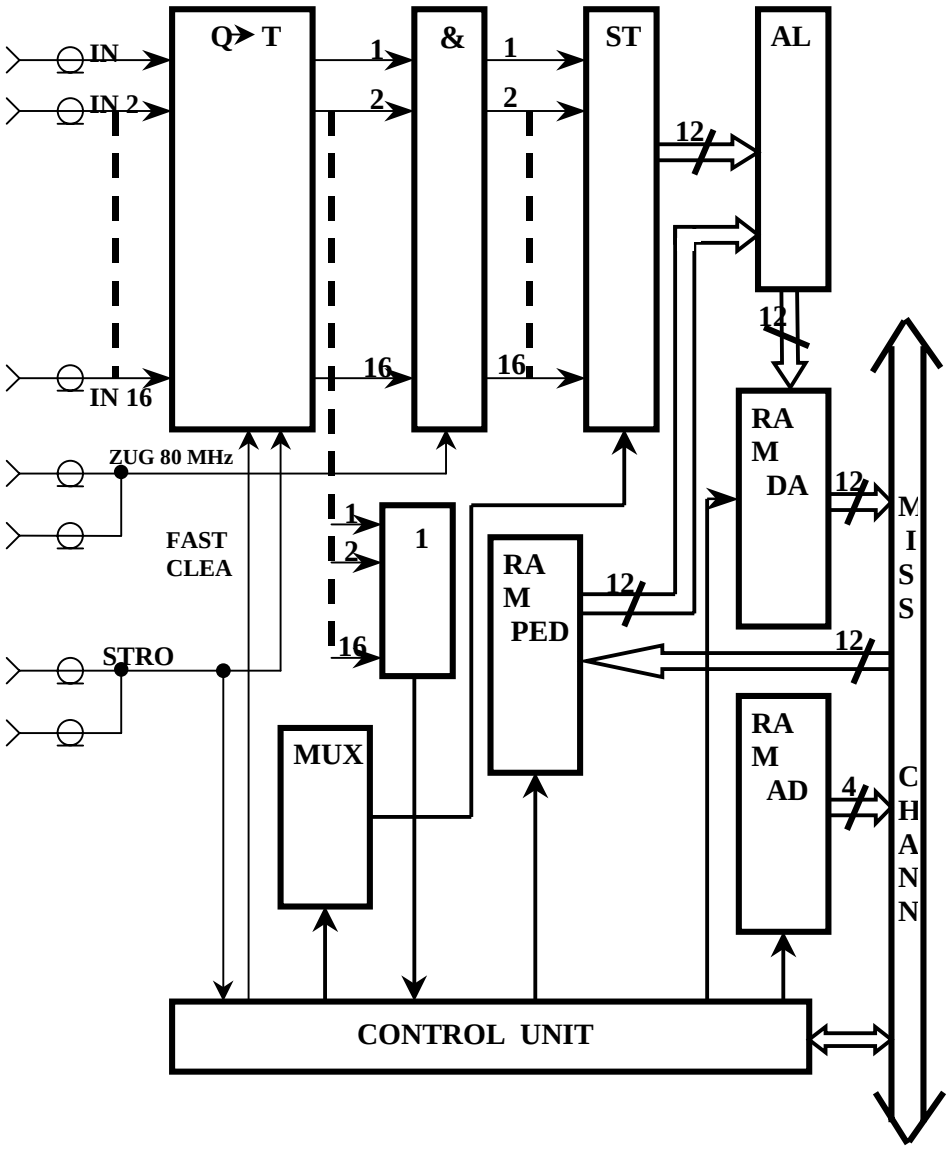

Рис. 1. **Блок-схема модуля ЛЭ-61М.**

Модуль содержит следующие функциональные узлы:

- 16 независимых ячеек стробируемых преобразователей «заряд – время» (**Q→T**);
- преобразователь «время – цифра», состоящий из логических элементов (**&**) и узла 12-разрядных счётчиков (**ST 12**), выходы которых коммутируются мультиплексором (**MUX**);
- логический сумматор выходных сигналов преобразователя **Q→T** (**1**);
- память "пьедесталов" (**RAM PED**);
- арифметико-логическое устройство (**ALU**) для вычитания "пьедесталов";
- память данных на одно событие (**RAM DA**);
- память адресов каналов, содержащих значащую информацию (**RAM AD**);
- схему управления и синхронизации работы функциональных узлов модуля (**CONTROL UNIT**);
- интерфейсную схему для связи с магистралью МИСС и обеспечения необходимого протокола обмена.

Работу модуля можно описать следующим образом.

Выходные сигналы с детектора в виде импульсов тока, содержащих заряд величиной до 1000 пКл, поступают на входы **IN1** - **IN16** преобразователей **Q→T**. Работа преобразователей стробируется сигналом уровня NIM, поступающим на вход **STROB** на передней панели модуля. Выходные сигналы преобразователей в виде «полочек» (импульсов уровня TTL, длительность которых пропорциональна величине входных измеряемых зарядов) поступают на группу логических элементов **&**, где осуществляется заполнение «полочек» импульсами определённой частоты от внешнего генератора, поступающими на переднюю панель модуля (вход **ZUG 80 MHz**). Одновременно сигналы с выходов **Q→T** подаются на сумматор **1**, который выдаёт на схему управления сигнал начала цикла обработки, совпадающий с окончанием самой длинной из 16 каналов **Q→T** «полочки». Группы импульсов частоты 80 МГц, соответствующие длительностям «полочек», оцифровываются 12-разрядными счётчиками **ST 12**, выходные коды которых устанавливаются до начала цикла обработки. Работа преобразователя **Q→T** может быть прервана сигналом **FAST CLEAR**, поступающим в схему управления по каналу МИСС.

С началом цикла обработки коды с выходов счётчиков **ST 12** с помощью мультиплексора **MUX** в соответствии с очерёдностью каналов последовательно поступают на арифметико-логическое устройство **ALU**, где происходит вычитание кодов "пьедесталов", одновременно поступающих на **ALU** из памяти "пьедесталов" **RAM PED**. Значения "пьедесталов" заносятся в **RAM PED** при подготовке модуля к работе. В результате работы **ALU** в выходной бу-

фер памяти данных **RAM DA** заносятся данные только тех каналов, значения которых превышают "пьедестальные". Одновременно в выходной буфер памяти адресов **RAM AD** заносится 4-битный адрес этих каналов.

Чтение информации с модуля происходит в соответствии с протоколом МИСС [1], обеспечивающим скоростное считывание рассеянных данных. За один цикл чтения в канал МИСС передаются данные о величине оцифрованного входного заряда (12 разрядов), об адресе соответствующего канала в модуле (4 разряда) и об индивидуальном номере модуля (5 разрядов). Индивидуальный номер устанавливается с помощью микропереключателей, расположенных на печатной плате модуля.

Рассмотрим более подробно работу отдельных функциональных узлов модуля ЛЭ-61М.

3. Преобразователь «заряд – время»

Структурная схема ячейки преобразователя показана на рис. 2.

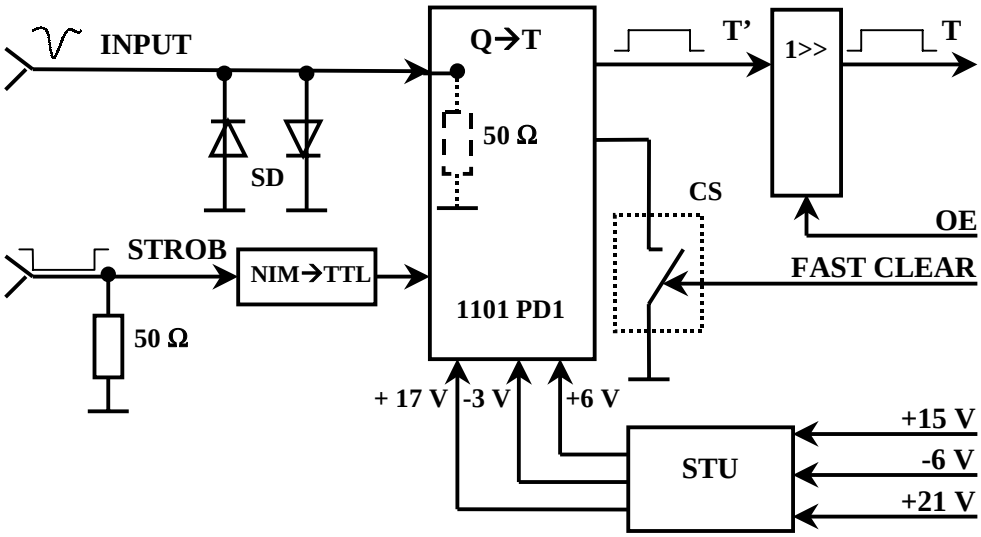

Рис. 2. **Блок-схема преобразователя «заряд – время».**

Входные сигналы в виде импульсов тока, содержащих заряд величиной до 1000 пКл, со входа **INPUT** поступают на вход преобразователя **Q→T**, имеющий входное сопротивление 50 Ом. Преобразователь **Q→T** реализован на основе интегральной схемы КР1101ПД1 [3]. Для защиты входа микросхемы от аварийных выбросов входного напряжения служит пара защитных диодов **SD**. На преобразователь **Q→T** со входа **STROB** подаётся внешний сигнал, стробирующий входные сигналы преобразователя. На выходе **Q→T** формируется «полочка» (**T'**), максимальная длительность которой составляет около 50 мкс при входном сигнале 1000 пКл.

Для осуществления режима быстрого сброса преобразователь оснащён быстродействующим разрядным ключом **CS**, реализованным на основе полевого транзистора КП301Д. Этот ключ коммутируется сигналом **FAST CLEAR**, поступающим по шине УР5 канала МИСС.

Для повышения нагрузочной способности выходов микросхем КР1101ПД1 и улучшения формы импульсов **T'** служит формирователь (**1>>**), выполненный на микросхемах К1533АП5. Кроме того, этот формирователь служит для отключения выходов преобразователя **Q→T** от цифровой части схемы посредством сигнала **OE** со схемы управления. Это необходимо в случае применения режима чтения записанных в модуле "пьедесталов" по каналу МИСС. Полученная в результате формирования «полочка» **T** поступает в цифровую часть модуля.

Особенность микросхемы КР1101ПД1 состоит в необходимости использования для её питания нестандартных напряжений +17В, -3В и +6В. Для получения этих напряжений применена схема внутреннего стабилизатора **STU**, использующая для этого напряжения соответственно +21В, -6В и +15В, поступающие с шин сектора МИСС. Схема **STU** служит также для дополнительной стабилизации и развязки напряжений питания аналоговой части модуля от цифровой.

4. Преобразователь «время – цифра» и логический сумматор

Блок–схема узла представлена на рис. 3.

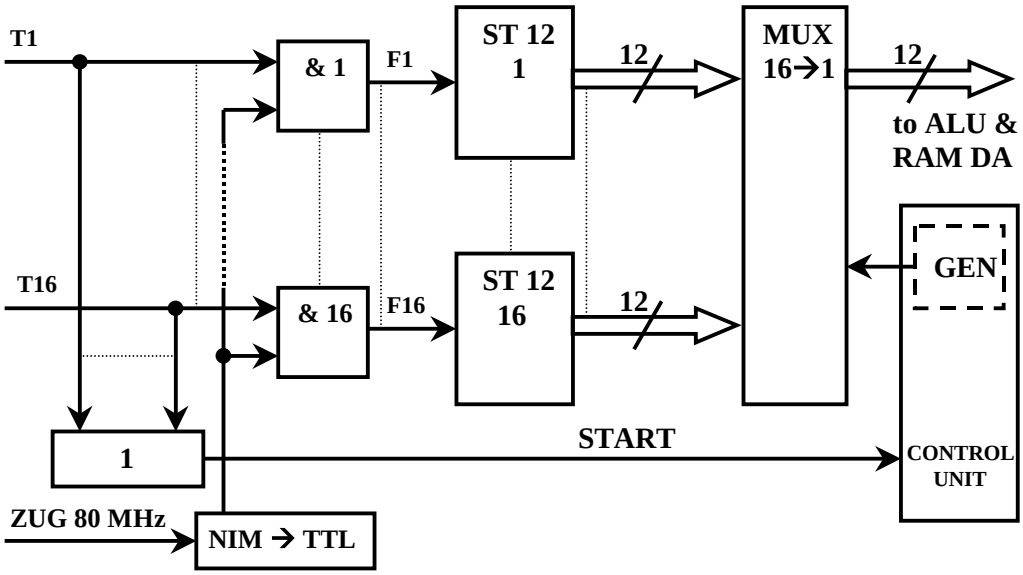

Рис. 3. **Блок-схема преобразователя «время-цифра» и логического сумматора.**

Выходные сигналы преобразователя **Q→T** («полочки» **T1 - T16**) поступают на входы логических элементов «**&1 - &16**» (КР1533ЛА3). На другие входы этих элементов с передней панели модуля поступают импульсы заполнения **ZUG 80 MHz** с внешнего генератора, приведённые к уровню TTL преобразователем **NIM → TTL**. На выходах **&1 - &16,** таким образом, образуются группы импульсов заполнения (**F1 - F16**), длительность которых соответствует длительности «полочек» **T1 - T16**. Группы **F1 - F16** поступают на 12-разрядные счётчики **ST 12_1 - ST 12_16**, собранные на комбинации микросхем К1533ИЕ23 и К561ИЕ10. Происходит подсчёт числа импульсов в группах, и результат фиксируется на выходах счётчиков до начала цикла обработки.

Одновременно «полочки» **T1 - T16** подаются на 16-входовой элемент логического суммирования (**1**). Здесь происходит выделение самой длинной из «полочек» **T1 - T16**, по окончании которой логический сумматор выдаёт сигнал **START** на схему управления. Этот сигнал означает окончание счёта и служит началом цикла обработки информации в модуле.

С началом цикла обработки схема управления **CONTROL UNIT** по сигналу **START** запускает внутренний генератор **GEN**, вырабатывающий 16 импульсов уровня TTL. Эти импульсы поступают на схему мультиплексирования (**MUX 16→1**), обеспечивающую последовательную подачу выходных кодов счётчиков **ST 12_1 - ST 12_16** на арифметико-логическое устройство **ALU** и выходной буфер памяти **RAM DA**.

5. Арифметико-логическое устройство и выходной буфер памяти

Структура устройства **ALU** и памяти модуля изображена на рис. 4.

Поскольку арифметико-логическое устройство модуля ЛЭ-61М аналогично устройству, используемому в модуле ЛЭ-61 [2], рассмотрим работу этого узла в общих чертах.

Процесс обработки информации с преобразователя «время – цифра» начинается после окончания оцифровки группы импульсов **F**(n), соответствующей самой длинной из 16 «полочке» **T**(n), по сигналу **START** с выхода логического сумматора. В модуле ЛЭ61М предусмотрена также возможность использования в качестве сигнала к началу цикла обработки импульса с шины УР6 магистрали МИСС. Этот режим используется в случае совместной работы модулей ЛЭ61М и ЛЭ61 в одном секторе и задаётся переключателем на плате модуля.

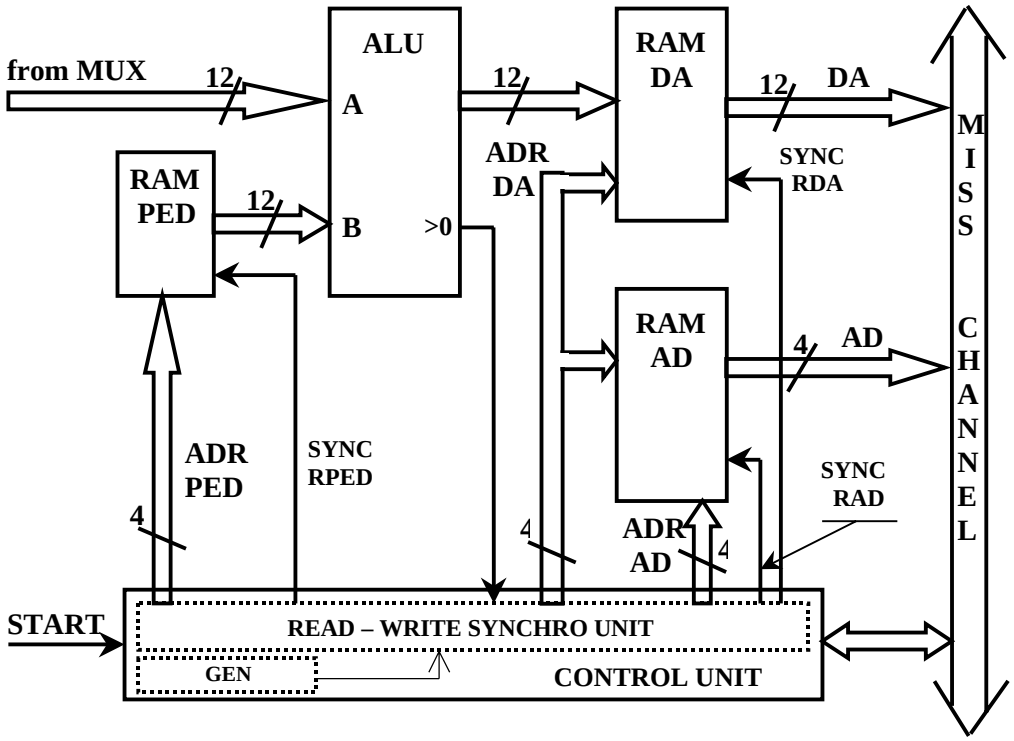

Рис. 4. **Блок-схема арифметико-логического устройства и внутренней памяти модуля.**

С приходом сигнала к началу цикла обработки в схеме управления **CONTROL UNIT** начинает работать генератор **GEN**, вырабатывающий серию из 16 импульсов с периодом следования около 500 нс. Этот генератор обеспечивает работу устройства **READ – WRITE SYNCHRO UNIT (RWSU)** в схеме управления. Устройство **RWSU** служит для синхронизации циклов работы устройства вычитания "пьедесталов" и записи информации в выходной буфер памяти, а также для организации чтения информации с модуля по каналу МИСС. Код со счётчика соответствующего канала после мультиплексора **MUX** подключается ко входам операнда А арифметико-логического устройства **ALU**. Ко входам операнда В одновременно подводится код соответствующего "пьедестала" из "пьедестальной" памяти **RAM PED**. Адрес в памяти "пьедесталов" определяется счётчиком устройства **RWSU**. В случае A>B происходит запись информации в выходную память **RAM DA** и адреса анализируемого канала в память **RAM AD**. В случае A≤B записи в **RAM DA** и **RAM AD** не происходит. Таким образом, в выходном буфере памяти формируется массив данных, состоящий из номеров сработавших (т.е. содержащих значащую информацию) каналов и соответствующей им информации. По окончании серии из 16 импульсов в счётчике устройства **RWSU** хранится информация о количест-

ве сработавших каналов, соответствующее количество слов будет передано модулем при чтении. Если во всех каналах модуля сигнал не превышает пьедестала, то счётчик в **RWSU** не сработает и сигнал на шине ТР магистрали МИСС схемой управления установлен не будет. При чтении такой модуль будет пропущен. Таким образом, в модуле организован наиболее эффективный способ сбора данных, предусматривающий хранение и чтение информации только о сработавших ячейках детектора. Это позволяет с большой скоростью эффективно обрабатывать и передавать во внешние запоминающие устройства значительные объёмы информации.

6. Схема управления и интерфейс к магистрали МИСС

Схема управления **CONTROL UNIT** предназначена для общей синхронизации работы модуля, управления режимами записи, чтения, начальной инициализации по сигналам «Общий сброс» и **STROB**, обработки сигнала «Быстрый сброс» **FAST CLEAR**. Счётчики схемы управления определяют адреса в устройствах памяти **RAM PED**, **RAM DA** и **RAM AD** во время цикла обработки и записи информации, а также выставляют адрес читаемого слова на **RAM DA** и **RAM AD** при чтении информации по каналу МИСС. Схема управления реализована на маломощных быстродействующих TTL микросхемах серии К1533, что обеспечивает минимальную продолжительность цикла обработки информации (около 5 мкс). Схема управления обеспечивает также выдачу на переднюю панель модуля визуальной информации о наличии внутреннего сигнала требования ТР в модуле (красный светодиод) и о состоянии выхода логического сумматора, т. е. о наличии «полочек» на выходах преобразователя **Q→T** (зелёный светодиод).

Интерфейс к магистрали МИСС представляет собой стандартную схему АП-ПЧН-ПЧИ, аналогичную используемой в модуле ЛЭ61 [2]. В соответствии со стандартным протоколом обмена он обеспечивает приём с магистрали сигналов ПЧН, ПЧИ, СИ1, Ф1-Ф3, ОС и ВхП, передачу в магистраль сигналов ТР, ГТ, ВыхП и СИ2, а также приём и выдачу необходимых данных, адресов и индивидуального номера модуля. При необходимости могут использоваться резервные шины магистрали УР4, УР5 и УР6, которые применяются для приёма соответственно сигнала чтения записанных в модуле "пьедесталов" (см. п. 3), сигнала быстрого сброса (п. 2) и внешнего сигнала начала цикла обработки информации в модуле (п. 5).

7. Порядок работы с модулем ЛЭ-61М

Перед началом работы должны быть определены значения "пьедесталов" в каждом канале для последующего занесения их во внутреннюю память **RAM PED**. Поэтому сначала в эту память записывается нулевая информация и производится один или несколько запусков и считывание полученной информации в компьютер. Затем полученная информация записывается в **RAM PED** модуля. Перед записью "пьедесталы" могут быть усреднены. Может быть также установлен порог регистрации информации модулем путём добавления к записываемым значениям "пьедесталов" необходимого значения порога. Чтение и запись в этих случаях производятся посредством интерфейса магистрали МИСС-QBUS ЛЭ-20И. После выполнения этих процедур чтение отфильтрованной информации может производиться автономным контроллером ЛЭ-60 [2].

В связи с тем, что используемая в модуле микросхема КР1101ПД1 требует нестандартного питания +17В, для работы модуля ЛЭ-61М требуется дополнительный источник питания +21В. Это напряжение подаётся на резервную шину А3 магистрали МИСС. Для работы с секторами, содержащими модули ЛЭ-61 и ЛЭ-61М, разработан специальный источник питания каркаса МИП-6, выдающий кроме стандартных напряжений для МИСС ещё и напряжение +21В на указанную шину магистрали.

8. Основные параметры модуля ЛЭ-61М

Число каналов	16
Максимальный измеряемый заряд (пКл)	1000
Шумовой заряд, приведённый ко входу при длительности строба Т*строба*=80нс (фКл)	35
Максимальный входной ток (мА)	50
Максимальная скорость нарастания входного тока (мА/нс)	2
Входное сопротивление канала преобразования (Ом)	50
Диапазон изменения длительности сигнала «Строб» Т*строба* (нс)	40-2000
Минимальная длительность сигнала «Быстрый сброс» (нс)	800
Уровни сигналов управления	NIM
Динамический диапазон (бит)	12
Время преобразования (мкс)	60
Интегральная нелинейность (% от полной шкалы)	0.1
Потребляемая мощность	-5.2 В x 0.9 А
	-2 В x 0.3 А
	+5 В x 2.2 А
	+15 В x 0.1 А
	+ 21 В x 0.1 А

Заключение

Применение описанного в представленной работе модуля ЛЭ-61М даёт возможность построения надёжных быстродействующих систем регистрации информации со сцинтилляционных калориметров физики высоких энергий. На основе этих модулей в ИФВЭ была создана калориметрическая электроника установок СФИНКС, РАМПЕКС и ИСТРА-М общим объёмом более 2000 каналов амплитудного анализа. Модули использовались в целом ряде сеансов ускорителя ИФВЭ и показали высокую точность и надёжность работы.

Список литературы

[1] Бушнин Ю.Б., Ваньёв В.С., Гончаров П.И. и др. Быстродействующая система регистрирующей и триггерной электроники для экспериментальных исследований в ИФВЭ. – Препринт ИФВЭ 88-47, Серпухов, 1988.

[2] Васильев М.В., Сенько В.А., Солдатов М.М., Якимчук В.И. Электронная аппаратура регистрации информации со сцинтилляционных калориметров. – Препринт ИФВЭ 95-88, Протвино, 1995.

[3] Бельский В.И., Бушнин Ю.Б., Зимин С.А. и др. Монолитная интегральная схема стробируемого преобразователя "заряд-время". – Препринт ИФВЭ 85-60, Серпухов, 1985; // Электронная промышленность, 1985, вып.9, с.147; В кн.: XII Международный симпозиум по ядерной электронике. – Дубна, 1985, Д13-85-359, с.58.

Рукопись поступила 4 ноября 1999 г.