



ГОСУДАРСТВЕННЫЙ НАУЧНЫЙ ЦЕНТР РОССИЙСКОЙ ФЕДЕРАЦИИ

ИНСТИТУТ ФИЗИКИ ВЫСОКИХ ЭНЕРГИЙ

ИФВЭ 2005–27  
ОЭА

А.П. Леонов, А.В. Савельев, В.А. Сенько, Н.А. Шаланда

**О создании IBIS-моделей программируемых  
интегральных схем серии ACEX 1К**

Направлено в журнал  
*“Инженерная физика”*

Протвино 2005

### **Аннотация**

Леонов А.П. и др. О создании IBIS-моделей программируемых интегральных схем серии ACEX 1K: Препринт ИФВЭ 2005-27. – Протвино, 2005. – 10 с., 1 табл., 5 рис., библиогр.: 12.

Определена методика создания IBIS-моделей программируемых интегральных схем на базе предлагаемого фирмой-производителем макета модели.

### **Abstract**

Leonov A.P. et al. About Programmable Integrated Circuits ACEX 1K IBIS-models Development: IHEP Preprint 2005-27. – Protvino, 2005. – p. 10, figs. 5, table 1, refs.: 12.

Methods of programmable integrated circuits IBIS-models development on the base of firm model template are determined.

При создании электронной аппаратуры для современных физических установок появляется необходимость ее моделирования с учетом реальной топологии печатных плат [1, 2, 3]. Методика моделирования с применением существующих программных средств [4, 5, 6] предполагает использование IBIS-моделей интегральных схем (ИС) [7, 8], которые разрабатываются их производителями и доступны для пользователей по адресу: <http://www.eigroup.org/ibis/ibis%20table/models.htm>. Однако для программируемых ИС, в частности фирмы Altera, производители помещают по указанному адресу только макеты их IBIS-моделей. Например, для всех ИС серии ACEX 1K предлагается один макет IBIS-модели независимо от типов микросхем и используемых корпусов. Создание IBIS-модели для конкретной микросхемы на основе предложенного макета является достаточно утомительной процедурой, требующей определенных навыков.

Эта процедура может быть значительно упрощена путем создания библиотеки заготовок IBIS-моделей для существующих типов микросхем данной серии. Создание заготовки IBIS-модели является противоречивой задачей, так как, с одной стороны, требуется предоставление пользователю наибольшей гибкости при формировании окончательной модели, с другой стороны, наибольшее упрощение процедуры окончательного редактирования модели. Заготовка модели должна быть скомпонована таким образом, чтобы окончательное формирование IBIS-модели программируемой ИС включало стандартные операции, не требующие от пользователя навыков построения модели.

В данной работе на примере микросхем серии ACEX 1K рассмотрены вопросы разработки заготовок IBIS-моделей программируемых ИС и их окончательного редактирования. Предполагается, что читатель знаком с синтаксисом и правилами построения IBIS-моделей [7, 8].

### **Определение числа заготовок IBIS-моделей для заданной серии ИС и систематизация выводов**

Поскольку одним из основных параметров IBIS-модели является тип корпуса [Package] [7], определение числа заготовок моделей для данной серии начнем с анализа табл. 1, где для ИС серии ACEX 1K приведены типы ИС и используемых корпусов [9].

Таблица 1

Тип ИС	Корпус TQFP-100	Корпус TQFP-144	Корпус PQFP-208	Корпус FBGA-256	Корпус FBGA-484
EP1K10	Используется	Используется	Используется	Используется	-
EP1K30	-	Используется	Используется	Используется	-
EP1K50	-	Используется	Используется	Используется	Используется
EP1K100	-	-	Используется	Используется	Используется

Порядок анализа следующий:

1. Определяем возможные сочетания типов ИС и используемых корпусов (14 возможных сочетаний для таблицы 1). Максимальное число заготовок IBIS-моделей К будет не более 14 ( $K \leq 14$ ).
2. Для каждого вывода корпуса в каждом сочетании определяем его значения активного сопротивления R [Ом], емкости С [пФ], индуктивности L [нГн] [10].
3. Для каждого вывода корпуса в каждом сочетании определяем его функциональное назначение [9].
4. Для каждого типа корпуса, например PQFP-208, определяем сочетания, для которых совпадают значения R-, L-, С-параметров выводов и их функциональные назначения. Если такие сочетания есть, то они могут быть описаны одной IBIS-моделью. Таким образом, число заготовок IBIS-моделей для данной серии может быть уменьшено.

Анализ, проведенный в соответствии с пунктами 1–4 для ИС серии ACEX 1К, показывает, что микросхемы EP1K30, EP1K50, выполненные в корпусе TQFP-144, могут быть описаны одной IBIS-моделью [9, 10]. Аналогично одной IBIS-моделью описываются ИС типов EP1K30, EP1K50, EP1K100, выполненные в корпусе PQFP-208, и ИС типов EP1K50, EP1K100, выполненные в корпусе FBGA-256.

Общее число заготовок IBIS-моделей для серии ACEX 1К уменьшается с 14 до 10.

Поскольку вторым основным параметром IBIS-модели является вывод [Pin] [7], систематизируем выводы по степени доступности для программирования пользователем. По этому критерию выводы ИС семейства ACEX 1К могут быть разделены на следующие группы [9, 11].

1. Выводы, недоступные для пользователя в качестве программируемых входов/выходов:
  - 1а) выводы внутреннего VCCINT, внешнего VCCIO источников питания и земли GND;
  - 1б) специальные выводы (например, TDI, TDO, nSTATUS и др.);
  - 1в) выводы, не имеющие соединений с кристаллом NC (No connect).
2. Выводы, доступные для пользователя в качестве программируемых входов/выходов:
  - 2а) специальные входы (Dedicated Inputs) и специальные входы тактовых сигналов (Dedicated Clock Pins);
  - 2б) программируемые входы/выходы, не используемые для других целей;
  - 2в) выводы, которые могут быть использованы как программируемые входы/выходы, после конфигурации (например, DATA1,...,DATA7, nRS, CS и др.);
  - 2г) выводы, которые могут быть использованы как программируемые входы/выходы, если они не используются для конфигурации (например, INIT\_DONE, DEV\_CLRn, DEV\_OE).

Анализ приведенных групп показывает, что выводы групп 1б и 1в могут быть исключены из IBIS-модели, так как они или используются только для конфигурации устройства или не используются вообще.

### Создание заготовки IBIS-модели программируемой ИС

Задача состоит в том, чтобы из одного макета IBIS-модели создать 10 заготовок, позволяющих путем простых стандартных операций получить IBIS-модель любой ИС серии

ACEX 1K. Решение ее рассмотрим на примере создания заготовки IBIS-модели для микросхем EP1K30, EP1K50, EP1K100, выполненных в корпусе PQFP- 208 (см. Приложение). Редактирование макета IBIS-модели для серии ACEX 1K осуществляется с помощью специального редактора, например Visual IBIS Editor 3.1 (<http://www.eigroup.org/ibis/tools.htm>). Порядок редактирования макета IBIS-модели может быть следующим:

1. В создаваемой заготовке сохраняются все предлагаемые в макете IBIS-модели входов/выходов [12]. Для внешнего источника питания VCCIO=3.3 В такими моделями являются:
  - аsex1k\_3 – модель типа I/O [7];
  - аsex1k\_3\_p – модель типа I/O с ограничивающими диодами;
  - аsex1k\_3\_s – модель типа I/O с возможностью увеличения длительности фронта импульса;
  - аsex1k\_3\_sp – модель типа I/O с ограничивающими диодами и возможностью увеличения длительности фронта импульса;
  - аsex1k\_3\_in – модель типа Input [7].

При VCCIO=2.5 В применяются IBIS-модели входов/выходов, аналогичные вышеуказанным. В их названии вместо цифры 3 используется цифра 2: аsex1k\_2, аsex1k\_2\_p, аsex1k\_2\_s, аsex1k\_2\_sp, аsex1k\_2\_in.

Наличие всех моделей входов/выходов в заготовке, как правило, является избыточным. Однако в этом случае обеспечивается наибольшая гибкость при создании IBIS-модели конкретной программируемой ИС.

2. В заготовке IBIS-модели создается описание “пустой” модели No\_Link (**рис. 1**). Для программируемых пользователем выводов название этой модели записывается под ключевым словом [Pin] во второй столбец “signal\_name” и в третий столбец “model\_name” (**рис. 2**). В указанные столбцы можно было бы записать название любой из моделей, приведенных в пункте 1. Однако введение “пустой” модели позволяет выделить строки с программируемыми вводами/выводами и облегчить для пользователя процедуру редактирования заготовки.
3. Для выбранного корпуса PQFP-208 под ключевым словом [Package] во второй, третий и четвертый столбцы заносятся соответственно типовые (typ), наименьшие (min) и наибольшие (max) значения параметров выводов R, L, C (**рис. 3**).
4. Номера выводов объединяются по приведенным выше группам 1а-1в и 2а-2г. Выводы, принадлежащие группам 1б, 1в, из рассмотрения исключаются.
5. Номера выводов под ключевым словом [Pin] перечисляются не в порядке возрастания, а в порядке перечисления групп выводов 1а, 2а-2г. Перед перечислением выводов каждой группы вводится комментарий, определяющий ее степень доступности для пользователя (см. Приложение).
6. Для выводов питания и земли (группа 1а) во второй столбец “signal\_name” под ключевым словом [Pin] записывается одно из названий сигналов: VCCINT, VCCIO или GNDINT. В третий столбец “model\_name” записывается одно из названий: POWER или GND (**рис. 4**).
7. По аналогии с пунктом 6 для выводов группы 2а во второй столбец записывается No\_Link, а в третий – название модели аsex1k\_3\_in (**рис. 5**).
8. Для всех оставшихся выводов во второй и третий столбцы записывается No\_Link (**рис. 2**).
9. В четвертый, пятый и шестой столбцы под ключевым словом [Pin] для каждого вывода заданного корпуса записываются соответствующие значения R, L, C (**рис. 2, 4, 5**).

В результате выполнения пунктов 1–9 получаем заготовку IBIS-модели для программируемой ИС серии ACEX 1K, выполненной в определенном корпусе.

```

[Model] No_Link
Model_type Input
Vinl = 0.7000
Vinh = 1.7000
C_comp      9.0000pF   NA   NA
[Voltage Range] 2.5000  2.2500  2.7500
[GND_Clamp]
|Voltage      I(typ)   I(min)  I(max)
-5.000        0        0        0
2.500         0        0        0

```

**Рис. 1.** Описание “пустой” модели.

```

[Pin]  signal_name      model_name      R_pin   L_pin   C_pin
...    ...              ...            ...    ...    ...
115    No_Link           No_Link        130.00m 10.00nH 1.50pF
...    ...              ...            ...    ...    ...

```

**Рис. 2.** Использование модели No\_Link под ключевым словом [Pin].

```

[Package]
| Used package 208-Pin PQFP
| variable      typ      min      max
R_pkg          130.00m NA      NA
L_pkg          10.00nH NA      NA
C_pkg          1.50pF  NA      NA

```

**Рис. 3.** Внесение RLC-параметров корпуса в заготовку IBIS-модели.

```

[Pin]  signal_name      model_name      R_pin   L_pin   C_pin
| GND pins
6      GNDINT           GND            130.00m 10.00nH 1.50pF
...    ...              ...            ...    ...    ...
188    GNDINT           GND            130.00m 10.00nH 1.50pF
| VCCINT (2.5V)
21     VCCINT          POWER          130.00m 10.00nH 1.50pF
...    ...              ...            ...    ...    ...
201    VCCINT          POWER          130.00m 10.00nH 1.50pF
| VCCIO (3.3 or 2.5V)
5      VCCIO           POWER          130.00m 10.00nH 1.50pF
...    ...              ...            ...    ...    ...
194    VCCIO           POWER          130.00m 10.00nH 1.50pF

```

**Рис. 4.** Внесение цепей земли и питания в заготовку IBIS-модели.

[Pin]	signal_name	model_name	R_pin	L_pin	C_pin
78	No_Link	acex1k_3_in	130.00m	10.00nH	1.50pF
...	...	...	...	...	...
184	No_Link	acex1k_3_in	130.00m	10.00nH	1.50pF
Dedicated Ckock pins (user INPUT pins)					
79	No_Link	acex1k_3_in	130.00m	10.00nH	1.50pF
183	No_Link	acex1k_3_in	130.00m	10.00nH	1.50pF

**Рис. 5.** Внесение параметров специальных выводов в заготовку IBIS-модели.

### Создание IBIS-модели программируемой ИС типа ACEX 1K

После разработки принципиальной схемы и топологии печатной платы становятся известными функции всех выводов программируемой ИС. При наличии заготовки получение IBIS-модели данной ИС сводится к выполнению простых операций с помощью текстового редактора Visual IBIS Editor 3.1. Операции проводятся только со вторым и третьим столбцами под ключевым словом [Pin] (рис. 2, 5). Для определенного вывода во втором столбце “signal\_name” вместо No\_Link записывается название сигнала, которое становится известным после разработки принципиальной схемы и топологии печатной платы. Синтаксис IBIS-модели позволяет оставить содержимое второго столбца без изменений. Однако для читабельности IBIS-модели целесообразно в этот столбец записать истинное название сигнала. Для этого же вывода в третий столбец “model\_name” вместо No\_Link (рис. 2) записывается название одной из моделей, приведенных в пункте 1 предыдущего раздела. Эта процедура является обязательной. Данные операции повторяются для всех выводов, функции которых определились после разработки принципиальной схемы и топологии печатной платы.

В результате получаем IBIS-модель программируемой ИС, которую используем при анализе целостности сигналов с использованием программы Signal Integrity [6]. В результате моделирования может оказаться, что некоторый сигнал (сигналы) из-за искажений в проводнике печатной платы не соответствует заданным требованиям. В этом случае осуществляются: корректировка топологии печатной платы, используемых выводов ИС, разработка новой IBIS-модели программируемой ИС с использованием имеющейся в библиотеке заготовки, моделирование сигналов с применением программы Signal Integrity. Указанная процедура будет повторяться, пока полученные в результате моделирования параметры импульсных сигналов не будут соответствовать заданным требованиям.

### Заключение

Предлагаемый в работе подход к разработке IBIS-моделей программируемых ИС предполагает создание библиотеки заготовок IBIS-моделей для каждой серии ИС вместо предлагаемого фирмой одного макета модели для всей серии. Такой подход существенно упрощает процедуру создания IBIS-модели ИС после разработки принципиальной схемы и топологии печатной платы. Он реализован в интегрированной системе автоматизированного проектирования и производства электроники ГНЦ ИФВЭ, в которой создана библиотека IBIS-моделей программируемых ИС серии ACEX 1K, доступная для разработчиков электронной аппаратуры по локальной сети.

## Список литературы

- [1] Дунайцев А.Ф., Леонов А.П., Лукьянцев А.Ф. и др. Об организации интегрированной системы автоматизированного проектирования и производства аппаратуры для проведения исследований в области физики высоких энергий. // Инженерная физика, 2000, №1.
- [2] Исаев А.Н., Леонов А.П., Савельев А.В. и др. – Препринт ИФВЭ 2004-47, Протвино, 2004.
- [3] Исаев А.Н., Леонов А.П., Савельев А.В. и др. – Препринт ИФВЭ 2004-48, Протвино, 2004.
- [4] Разевиг В.Д. Анализ паразитных эффектов печатных плат // EDA Express, 2000, №2.
- [5] Потапов Ю.В., Разевиг В.Д. Анализ целостности сигналов в системе Protel 99 SE. // EDA Express, 2001, №4.
- [6] P-CAD Signal Integrity™. User's Guide. Copyright © 2002 Altium Limited.
- [7] Ross B. Practical Issues with IBIS Models. – <http://www.eigroup.org/IBIS/pcbeas97.htm>.
- [8] Исаев А.Н., Леонов А.П., Савельев А.В. – Препринт ИФВЭ 2003-25, Протвино, 2003.
- [9] ACEX 1K Device Pin Tables. - <http://www.altera.com/literature/lit-acx.jsp>.
- [10] Altera Device IBIS Models. Package RLC Values. . – <http://www.eigroup.org/ibis/idis%20table/models.htm>.
- [11] ACEX 1K Programmable Logic Device Family. . – <http://www.altera.com/literature/ds/acex.pdf>.
- [12] Altera Device IBIS Models; acex1k.zip. - <http://www.eigroup.org/ibis/idis%20table/models.htm>.

*Рукопись поступила 8 июля 2005 г.*

## Приложение

\*\*\*\*\*

IBIS Models For ACEX1K Device By ALTERA

\*\*\*\*\*

[IBIS Ver] 2.1  
[File Name] ep1k100.ibs  
| THIS MODEL CAN BE USED FOR DEVICES EP1K100QC208-3, EP1K50QC208-3, EP1K130QC208-3  
[File Rev] 1.3  
[Date] June 2004  
[Source] Viewlogic Consultant Services  
|[Notes]  
ATTENTION:  
THE PACKAGE OF THIS MODEL IS A SAMPLE IBIS TEMPLATE. IT DOES NOT  
CONTAIN USER PROGRAMMABLE PINS SIGNAL NAMES AND APPROPRIATE MODEL NAMES.  
IT'S NECESSARY TO OPERATE WITH KEYWORD [PIN] ONLY FOR SPECIFIC MODEL CREATING.  
A USER MUST GIVE SIGNAL NAME IN THE SECOND COLUMN FOR AVAILABLE USER I/O PINS.  
A USER MUST GIVE APPROPRIATE IBIS-MODEL IN THE THIRD COLUMN FOR EACH SIGNAL  
NAME. IBIS-MODEL CAN BE FOLLOWING:  
INPUT MODELS - acex1k\_2\_in, acex1k\_3\_in;  
I/O MODELS - acex1k\_3, acex1k\_3\_p, acex1k\_3\_s, acex1k\_3\_sp,  
acex1k\_2, acex1k\_2\_p, acex1k\_2\_s, acex1k\_2\_sp  
Input and output Models for ACEX1K devices.  
Models with "3" in their name means they have 3.3V vccio.  
Models with "2" in their name means they have 2.5V vccio.  
Models with "S" in their name means they have slow slew rate 'on'.



Models with "P" in their name means they have PCI clamp diode 'on'.  
 Models with "SP" in their name means they have PCI clamp diode and slow slew rate 'on'.

COMMENTS:

All models in TYP, MIN, and MAX corners.

Model Conditions:

TYP: 2.5V and 3.3V TEMP=25C Process = TT

MIN: (slow) 2.3V and 3.0V TEMP=85C process = SS

MAX: (fast) 2.7V and 3.6V TEMP=0C process = FF

Models extracted from SPICE simulations Altera SPICE models.

Model Generated Using VML vVML Editor - 2.15

QA using ibis2xtk -pv .0001 -ae .00001 -vt .00001

[Disclaimer] Data is for modeling purposes only and is not guaranteed

[Copyright] Copyright 2000, Altera Corporation. All rights reserved

[Component] ACEX1K

[Manufacturer] Altera

[Package]

| Used package 208-Pin PQFP

variable	typ	min	max
R_pkg	130.00m	NA	NA
L_pkg	10.00nH	NA	NA
C_pkg	1.50pF	NA	NA

[Pin]	signal_name	model_name	R_pin	L_pin	C_pin
GND pins					
6	GNDINT	GND	130.00m	10.00nH	1.50pF
...	.....	....	.....	.....	.....
188	GNDINT	GND	130.00m	10.00nH	1.50pF
VCCINT (2.5V)					
21	VCCINT	POWER	130.00m	10.00nH	1.50pF
...	.....	.....	.....	.....	.....
201	VCCINT	POWER	130.00m	10.00nH	1.50pF
VCCIO (3.3 or 2.5V)					
5	VCCIO	POWER	130.00m	10.00nH	1.50pF
...	.....	.....	.....	.....	.....
194	VCCIO	POWER	130.00m	10.00nH	1.50pF
Dedicated pins					
78	No_Link	acex1k_3_in	130.00m	10.00nH	1.50pF
80	No_Link	acex1k_3_in	130.00m	10.00nH	1.50pF
182	No_Link	acex1k_3_in	130.00m	10.00nH	1.50pF
184	No_Link	acex1k_3_in	130.00m	10.00nH	1.50pF
Dedicated Ckock pins					
79	No_Link	acex1k_3_in	130.00m	10.00nH	1.50pF
183	No_Link	acex1k_3_in	130.00m	10.00nH	1.50pF
User I/O pins					
7	No_Link	No_Link	130.00m	10.00nH	1.50pF
...	...	...	...	...	...
205	No_Link	No_Link	130.00m	10.00nH	1.50pF
These pins (19,180,186) can be used as a user I/O pins, if they are not used					
for device-wide or configuration function					
19	No_Link	No_Link	130.00m	10.00nH	1.50pF
180	No_Link	No_Link	130.00m	10.00nH	1.50pF
186	No_Link	No_Link	130.00m	10.00nH	1.50pF
These pins (10,16,62,157-159,161,162,164,166,204,206,207) can be used					
as a user I/O pins after configuration					

```

10 No_Link      No_Link      130.00m 10.00nH 1.50pF
..   ...
208 No_Link     No_Link     130.00m 10.00nH 1.50pF

```

```

-----
[Model] No_Link
Model_type Input
-----]
Vinl = 0.7000
Vinh = 1.7000
C_comp  9.0000pF NA  NA
[Voltage Range]  2.5000  2.2500  2.7500
[GND_Clamp]
|Voltage I(typ) I(min) I(max)
-5.000  0  0  0
2.500  0  0  0
|-----|
|Model acex1k_3_sp |
|-----|
[Model] acex1k_3_sp
Model_type I/O
Vinl = 0.8000
Vinh = 2.0000
Vmeas = 1.5000
Cref = 5.00e-11
Rref = 1.00e+06
Vref = 0.00e+00
C_comp  9.0000pF NA  NA
[Temperature Range] 25.0000 85.0000 0.0000
[Voltage Range] 3.3000 3.0000 3.6000
[Pulldown]
|voltage I(typ) I(min) I(max)
-5.000 -1.276e-03 -1.079e-03 -1.427e-03
-3.000 -1.276e-03 -1.079e-03 -1.427e-03
.....
8.350 5.022e-01 3.451e-01 8.789e-01
8.600 5.022e-01 3.451e-01 8.789e-01
[Pullup]
|voltage I(typ) I(min) I(max)
8.300 -6.755e-01 -4.083e-01 -9.268e-01
6.450 -6.755e-01 -4.083e-01 -9.268e-01
...
-2.840 2.112e-01 1.919e-01 2.511e-01
-5.300 2.112e-01 1.919e-01 2.511e-01
[Ramp]
dV/dt_r 1.3723/0.3600n 1.0502/0.5300n 1.6336/0.2900n
dV/dt_f 1.7395/4.3600n 1.4984/5.6200n 1.9444/3.6300n
[GND_Clamp]
|Voltage I(typ) I(min) I(max)
-5.000 -3.936e+00 -3.986e+00 -3.920e+00
-4.740 -3.680e+00 -3.730e+00 -3.662e+00
.....
3.110 -1.760e-05 8.100e-06 -5.420e-05
3.300 0.000e+00 3.340e-05 -3.480e-05
[POWER_Clamp]
|Voltage I(typ) I(min) I(max)

```

```

0.000 0.000e+00 3.340e-05 0.000e+00
-0.010 1.000e-06 3.660e-05 1.200e-06
.....
-5.010 6.255e-01 5.631e-01 7.272e-01
-5.300 6.255e-01 5.631e-01 7.788e-01
[Rising Waveform]
R_fixture = 50.0000
V_fixture = 0.0000
V_fixture_min = 0.0000
V_fixture_max = 0.0000
|Time      Typ(v)   Min(v)   Max(v)
0.0000n    0.0005   0.0004   0.0006
0.0100n    0.0011   0.0011   0.0011
.....
7.1800n    2.2876   1.7507   2.7233
24.9900n   2.2876   1.7507   2.7233
[Rising Waveform]
R_fixture = 50.0000
V_fixture = 3.3000
V_fixture_min = 3.0000
V_fixture_max = 3.6000
|Time      Typ(v)   Min(v)   Max(v)
0.0000n    0.4008   0.5020   0.3593
0.0100n    0.4013   0.5026   0.3597
.....
7.9500n    3.3000   3.0000   3.6000
24.9900n   3.3000   3.0000   3.6000
[Falling Waveform]
R_fixture = 50.0000
V_fixture = 0.0000
V_fixture_min = 0.0000
V_fixture_max = 0.0000
|Time      Typ(v)   Min(v)   Max(v)
0.0000n    2.2876   1.7507   2.7233
0.0600n    2.2876   1.7507   2.7233
...
10.0500n   0.0007   0.0008   0.0007
24.9900n   0.0005   0.0004   0.0006
[Falling Waveform]
R_fixture = 50.0000
V_fixture = 3.3000
V_fixture_min = 3.0000
V_fixture_max = 3.6000
|Time      Typ(v)   Min(v)   Max(v)
0.0000n    3.3000   3.0000   3.6000
0.2500n    3.2989   3.0000   3.5984
.....
18.1500n   0.4022   0.5093   0.3596
24.9900n   0.4009   0.5027   0.3593
|-----|
| Model acex1k_3_p |
|-----|
[Model] acex1k_3_p
Model_type I/O
| .....

```

```

-----|
| Model acex1k_3_s |
-----|
[Model] acex1k_3_s
Model_type I/O
| .....
-----|
| Model acex1k_3 |
-----|
[Model] acex1k_3
Model_type I/O
| .....
-----|
| Model acex1k_2_sp |
-----|
[Model] acex1k_2_sp
Model_type I/O
| .....
-----|
| Model acex1k_2_p |
-----|
[Model] acex1k_2_p
Model_type I/O
| .....
-----|
| Model acex1k_2_s |
-----|
[Model] acex1k_2_s
Model_type I/O
| .....
-----|
| Model acex1k_2 |
-----|
[Model] acex1k_2
Model_type I/O
| .....
-----|
| Model acex1k_3_in |
-----|
[Model] acex1k_3_in
Model_type Input
| .....
-----|
| Model acex1k_2_in |
-----|
[Model] acex1k_2_in
Model_type Input
| .....
[END]

```

А.П. Леонов и др.

О создании IBIS-моделей программируемых интегральных схем серии ACEX 1К.

Оригинал-макет подготовлен с помощью системы Word.

Редактор Л.Ф. Васильева.

---

Подписано к печати 13.07.2005.      Формат 60 × 84/8.      Офсетная печать.

Печ.л. 1,375. Уч.- изд.л. 1,1.      Тираж 100.      Заказ 76.      Индекс 3649.

---

ГНЦ РФ Институт физики высоких энергий,  
142281, Протвино Московской обл.

