



ГОСУДАРСТВЕННЫЙ НАУЧНЫЙ ЦЕНТР РОССИЙСКОЙ ФЕДЕРАЦИИ
ИНСТИТУТ ФИЗИКИ ВЫСОКИХ ЭНЕРГИЙ

ИФВЭ 2007–12
ОЭА

Н.С. Иванова, Ю.Д. Карпеков, В.А. Сенько, В.И. Якимчук

**БЫСТРОДЕЙСТВУЮЩИЙ ТРИГГЕРНЫЙ СПЕЦПРОЦЕССОР
ДЛЯ ВЫДЕЛЕНИЯ РАСПАДА ЧАСТИЦЫ
ПО КООРДИНАТНОЙ ИНФОРМАЦИИ
С ГОДОСКОПОВ СЦИНТИЛЛЯЦИОННЫХ СЧЕТЧИКОВ**

Направлено в ПТЭ

Протвино 2007

Аннотация

Иванова Н.С. и др. Быстродействующий триггерный спецпроцессор для выделения распада частицы по координатной информации с годоскопов сцинтилляционных счетчиков: Препринт ИФВЭ 2007–12. – Протвино, 2007. – 15 с., 8 рис., 6 табл., библиогр.: 7.

Описывается аппаратура быстродействующего триггерного спецпроцессора, предназначенного для выделения распада частицы (К-мезона) в распадной базе физической экспериментальной установки ОКА-ИФВЭ. Отбор полезных событий производится по координатной информации с годоскопов сцинтилляционных счетчиков с использованием таблиц решений на программируемых памятьях (memory look-up table – LUT). При этом время выработки триггерного решения не превышает 150 нс. В состав аппаратуры спецпроцессора входят 64-канальные модули регистрации ЛЭ-76 и решающий модуль ЛЭ-79, реализованные на базе программируемых логических интегральных схем (ПЛИС) фирмы ALTERA.

Abstract

Ivanova N.S. et al. A Dedicated High-Speed Trigger Generation Processor for a Single Particle Decay Event Selection by Analyzing Signals from Scintillation Hodoscopes: IHEP Preprint 2007–12. – Protvino, 2007. – p. 15, figs. 8, tables 6, refs.: 7.

A dedicated high-speed trigger generation processor is described. The function of the processor is to select a single particle decay event on the decay base of an experimental setup OKA using signals from hodoscopes made of scintillation counters. The particle selection algorithm is based on the use of (dynamically) preprogrammed memory lookup tables. Trigger generation time is less than 150 ns. The processor unit includes a set of 64-channel register modules LE-76 and a decision-taking module LE-79, which are implemented using the ALTERA FPGA technology.

Введение

Характерными особенностями современных физических экспериментов в области физики элементарных частиц являются большие объёмы и потоки исходных экспериментальных данных ($\sim 10^{12}$ байт/сек). При этом часто физическому анализу подлежат чрезвычайно редкие события на фоне высоковероятных конкурирующих событий. Поэтому одной из важных задач в физическом эксперименте является увеличение числа регистрируемых полезных событий в единицу времени при возможно более эффективном подавлении фоновых событий.

Для решения этой задачи широко применяются быстродействующие триггерные устройства, создаваемые на базе последних достижений в области электроники и вычислительной техники. С помощью таких устройств осуществляется предварительный отбор и фильтрация интересных событий в реальном масштабе времени перед вводом экспериментальных данных в ЭВМ.

Среди существующего класса триггерных устройств [1,2] широкое развитие получили высокоэффективные быстродействующие специализированные триггерные процессоры (спецпроцессоры), основанные на табличных методах выработки триггерного решения [3]. Для записи и хранения таблиц решений в этих спецпроцессорах применяются высокоскоростные микросхемы памяти (memory lookup table – LUT). Триггерные спецпроцессоры на основе LUT обладают достаточно высоким быстродействием, имеют постоянное время выработки триггерного сигнала, обеспечивают требуемую точность вычислений и гибкость программирования процессора, необходимую при изменении условий эксперимента.

Следует отметить, что в качестве входных данных в триггерных спецпроцессорах наиболее часто используется координатная информация от быстродействующих детекторов частиц (годоскопов сцинтилляционных счётчиков – СГ, пропорциональных проволочных камер – ППК, многоканальных черенковских счётчиков – МЧС и др.), представленная в цифровом виде.

В настоящей работе описывается аппаратура быстродействующего триггерного спецпроцессора, предназначенного для выделения распада частицы по данным с СГ. Спецпроцессор реализован на базе высокоскоростных микросхем статической памяти – CMOS RAM и программируемых логических интегральных микросхем фирмы ALTERA.

1. Выбор структуры триггерного спецпроцессора

Выбор структуры триггерного спецпроцессора во многом определяется задачами конкретного физического эксперимента. В частности, нами разработана структура спецпроцессора, предназначенного для быстрого выделения распада частицы (K-мезона) в распадной базе физической экспериментальной установки ОКА, работающей на пучке частиц ускорителя У-70 ИФВЭ.

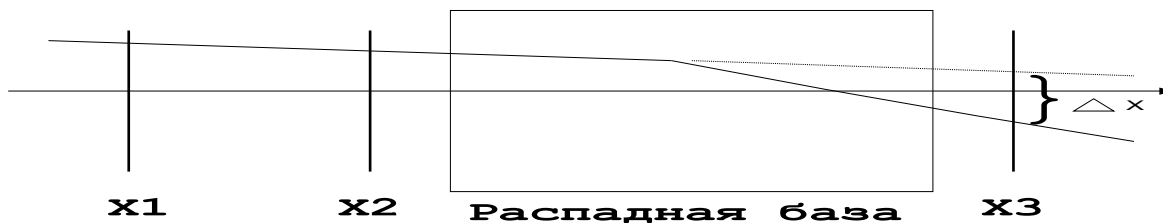


Рис. 1. Схематическое изображение части экспериментальной установки ОКА в области распадной базы пучковой частицы.

Как видно из рис. 1, годоскопы X1 и X2 обеспечивают измерение X-координаты пучковой частицы перед распадной базой. Годоскоп X3 измеряет X-координату частицы после распадной базы. Годоскопы X1, X2 и X3 могут иметь до 64 элементов. Алгоритм выделения случаев распада частицы спецпроцессором сводится к нахождению треков частиц, удовлетворяющих определенным геометрическим соотношениям координат, и включает следующую последовательность операций:

- шифрацию линейных номеров (X-координат) сработавших элементов в каждой плоскости годоскопа в 6-битные двоичные коды;
- вычисление параметров прямолинейного трека пучковой частицы по координатным отсчетам в X1 и X2;
- расчет предполагаемой X-координаты пучковой частицы в плоскости X3 для вычисленного трека пучковой частицы;
- вычисление разности ΔX между предсказанной координатой прямолинейного трека пучковой частицы и измеренной координатой в X3 на выходе распадной базы;
- сравнение ΔX с заданной величиной.

В случае если ΔX больше заданной величины, то предполагается, что частица распалась в распадной базе и спецпроцессор должен вырабатывать сигнал положительного триггерного решения за время не превышающее 150 нс. Дополнительным условием отбора является также наличие в каждой плоскости годоскопа только одной частицы.

Оценки показывают, что аппаратная реализация описанного (последовательного) алгоритма нахождения треков с использованием для кодирования данных и выполнения вычислительных операций типовых цифровых структур (шифраторов, сумматоров, АЛУ и др.) приводит к усложнению аппаратуры и не обеспечивает необходимого быстродействия спецпроцессора. Существенно упростить аппаратуру спецпроцессора, повысить её гибкость и избежать потери быстродействия возможно при табличном способе нахождения треков, реализуемом на основе программируемой памяти – LUT.

Принцип табличного способа нахождения треков состоит в следующем: предварительно для всех возможных в эксперименте комбинаций прямолинейных треков пучковых частиц методом моделирования в ЭВМ рассчитываются параметры модельных треков распавшихся частиц. Далее для всех модельных треков, являющихся кандидатами в полезные события, в ячейки программируемой памяти LUT записываются значения “1”, а для остальных треков – значения “0”. При параллельном поступлении на адресный вход LUT координатного кода с трех плоскостей годоскопов X1, X2, X3 на выходе LUT будет появляться сигнал требуемого триггерного решения за один цикл обращения к памяти. Кроме того, если в годоскопе X3 координата частицы не восстанавливается (из-за неэффективности годоскопа или отклонения распадной частицы на угол, превышающий максимальный диапазон углов, регистрируемый в X3, или из-за наличия нескольких заряженных распадных частиц), то по условию эксперимента триггерный сигнал должен также вырабатываться с соответствующим признаком.

При выборе структуры спецпроцессора нами также учитывалось то обстоятельство, что в процессе эксперимента вполне возможно добавление или замена части годоскопов, которые могут отличаться как числом каналов регистрации, так и уровнями выходных сигналов. При этом может также изменяться конфигурация аппаратуры и алгоритм отбора событий. Следовательно, аппаратура спецпроцессора должна обладать большими функциональными возможностями и легко адаптироваться к изменяющимся условиям эксперимента. Кроме того, для повышения надёжности работы аппаратуры спецпроцессора с использованием LUT требуется создание эффективных аппаратно-программных средств для загрузки и тестирования содержимого таблиц, а также для оперативного контроля за работой узлов такой аппаратуры в процессе эксперимента.

Наиболее полно изложенным требованиям удовлетворяет модульная структура спецпроцессора, представленная на рис. 2. Модули спецпроцессора разработаны нами в рамках унифицированной в ИФВЭ многоканальной информационной скоростной системы (МИСС) [4].

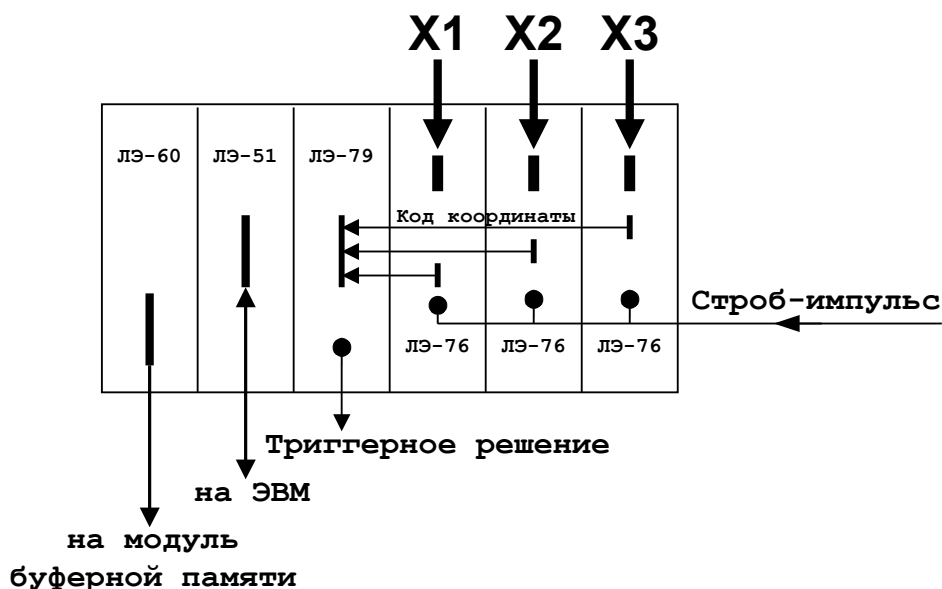


Рис. 2. Структурная схема триггерного спецпроцессора с контроллерами системы МИСС.

При этом отдельные функциональные модули спецпроцессора могут быть использованы для регистрации и предварительной обработки информации с координатных детекторов частиц других типов (ППК, МЧС и др.), обладающих близкими рабочими характеристиками и структурой каналов регистрации.

Согласно структурной схеме (рис. 2) сигналы с трёх плоскостей сцинтилляционных годоскопов X1, X2, X3 поступают параллельно в виде позиционного линейного кода на входы 64-канальных модулей регистрации ЛЭ-76, размещаемых в отдельном секторе каркаса МИСС. Для транспортировки сигналов к модулям ЛЭ-76 могут использоваться коаксиальные кабели или скрученные пары проводов телефонного кабеля. При этом кабели одновременно выполняют функции компенсирующих линий задержки сигналов в каналах регистрации для их временного согласования с триггерным сигналом “нулевого” уровня (строб-импульсом), управляющим записью входной информации. Модули ЛЭ-76 обеспечивают приём, амплитудное формирование и запоминание сигналов в 64-битных входных регистрах. С помощью LUTов в этих модулях осуществляется быстрая шифрация сработавших каналов регистрации в 6-битные двоичные коды, а также вычисление количества одновременно зарегистрированных сигналов

(отбор по множественности). При этом время кодирования годоскопической информации и определения множественности не зависит от конфигурации сработавших элементов годоскопов и составляет 30 нс.

После двоичного кодирования принятой информации 6-битные коды координат с выходов модулей ЛЭ-76 передаются параллельно по специальному каналу быстрой связи на решающий модуль ЛЭ-79, содержащий быстродействующую программируемую память с таблицей триггерных решений спецпроцессора. Задержка сигнала триггерного решения на выходе решающего модуля не превышает 150 нс от заднего фронта строб-импульса записи информации во входные регистры модулей ЛЭ-76.

Управление работой триггерного спецпроцессора во время загрузки и контроля содержимого LUTов, а также при отладке и тестировании отдельных модулей осуществляется с помощью программно-управляемого контроллера сектора ЛЭ-51 [5], связанного с ЭВМ системы медленного контроля и управления оборудованием экспериментальной установки. Во время вывода пучка из ускорителя обслуживание спецпроцессора реализуется модулем автономного контроллера ЛЭ-60 [6], который выполняет операцию быстрого (аппаратного) чтения информации из модулей спецпроцессора в модуль буферной памяти ССД. Прочитанная информация совместно с информацией с других систем экспериментальной установки используется для on-line контроля правильности выработки триггерного решения.

2. Модуль регистрации ЛЭ-76

Структурная схема модуля представлена на рис. 3. Модуль содержит 64 канала регистрации. Сигналы с выходов годоскопа поступают на плату приёмного адаптера модуля, который осуществляет их согласованный прием и преобразование амплитуд регистрируемых сигналов к логическим уровням транзисторно-транзисторной логики (ТТЛ) входного регистра. Для расширения функциональных возможностей модуля ЛЭ-76 в нем применяются сменные платы приёмных адаптеров АД1 или АД2, которые обеспечивают прием информации в широком диапазоне амплитуд входных сигналов, передаваемых с годоскопов разных конструкций.

Адаптер АД1 рассчитан на приём сигналов отрицательной полярности, поступающих непосредственно с анодов фотоумножителей годоскопов. Для передачи сигналов используются коаксиальные кабели с волновым сопротивлением $\rho=50$ Ом. При этом минимальная длительность принимаемых сигналов составляет 10нс, а рабочий диапазон амплитуд входных сигналов составляет от -20 до -800 мВ на нагрузке 50 Ом. Для предохранения входных цепей АД1 от возможных электрических пробоев, на входах адаптера содержатся быстродействующие элементы резистивно-диодной защиты (Protect). После элементов защиты принятые сигналы поступают на 64 компаратора напряжения (СА), выполненные на 4-канальных интегральных микросхемах типа AD8564. Компараторы вырабатывают сигналы “логическая 1”, если амплитуды входных сигналов превышают установленный порог (THRESH.ADJ.), задаваемый с помощью потенциометра. После амплитудного формирования сигналы с 64 выходов СА объединяются по схеме “Быстрое ИЛИ” для формирования мажоритарного выходного сигнала Вых >0 , который может включаться в логику “триггера” экспериментальной установки.

В случае использования конструкций годоскопов, содержащих встроенные усилители-дискриминаторы сигналов ФЭУ, на выходах которых формируются сигналы в уровнях эмиттерно-связанной логики (ЭСЛ), в модуле ЛЭ-76 применяется адаптер АД2. Он обеспечивает согласованный прием 64 парафазных сигналов ЭСЛ и их последующее преобразование к ТТЛ уровням входного регистра с помощью 4-канальных интегральных микросхем типа К500ПУ125.

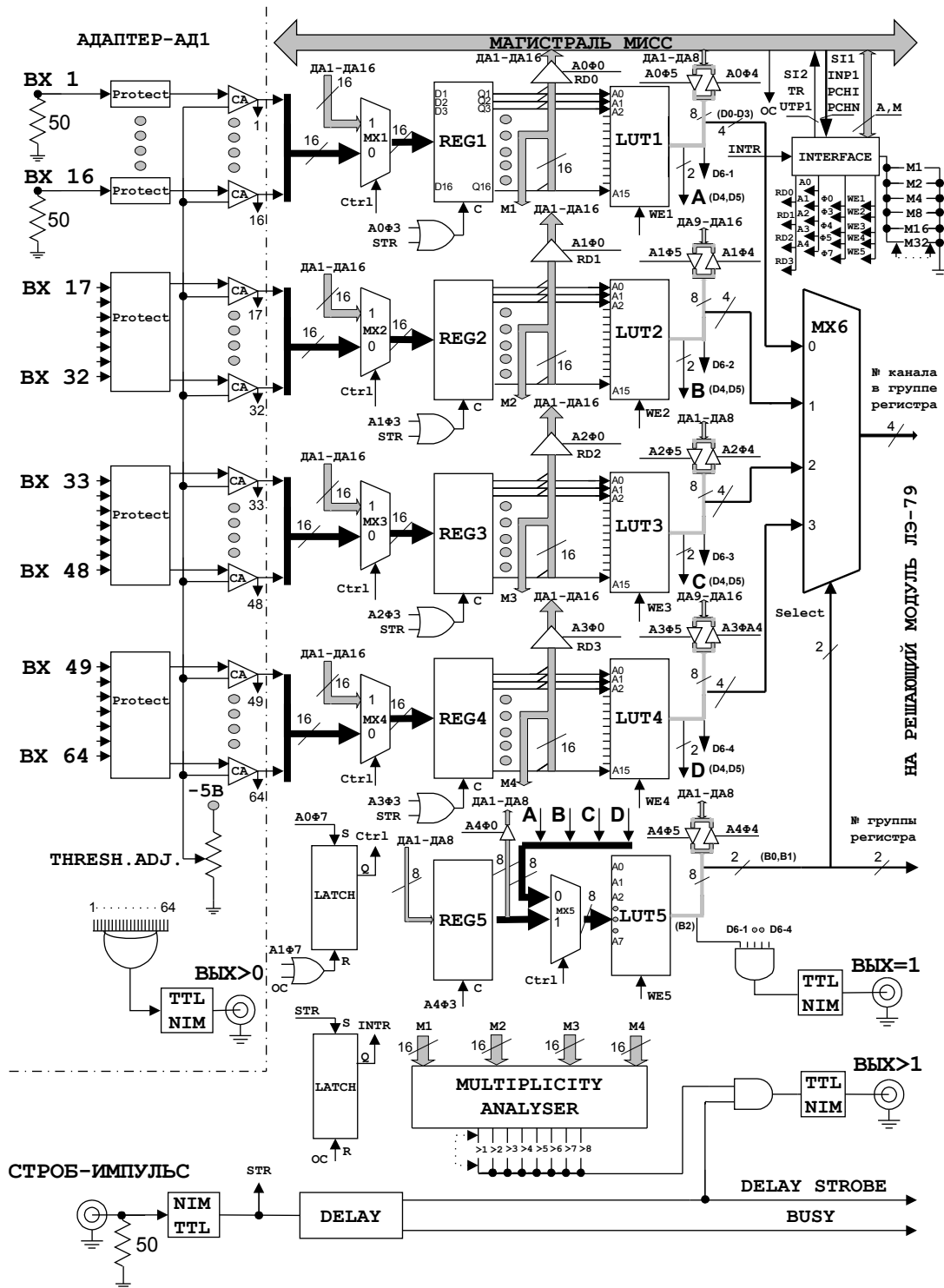


Рис. 3. Структурная схема модуля ЛЭ-76 с адаптером АД1.

Как видно из рис. 3, сигналы, преобразованные к уровням TTL, с выходов приемного адаптера (АД1) поступают параллельно на входы “0” мультиплексоров MX1–MX4 и далее на стробируемый 64-битный входной регистр, разбитый на четыре группы 16-битных регистров (REG1–REG4). Запоминание сигналов в регистрах осуществляется по заднему фронту внешнего строб-импульса.

Далее информация с выходов 16-битных регистров поступает параллельно на адресные входы (A0...A15) памяти LUT1–LUT4 для шифрации линейных номеров (адресов) сработавших каналов в REG_i (i=1,2,3,4) в 4-битные двоичные коды. При этом необходимо отметить, что при параллельном способе кодирования данных неискаженное кодирование происходит при условии срабатывания (в момент строб-импульса) одного элемента годоскопа, то есть при наличии в плоскости годоскопа только одной частицы. Кроме того, срабатывание подряд нескольких соседних элементов (кластер) также может относиться к одночастичному событию: элементы могут зафиксировать δ-электроны, порожденные пролетающей частицей. Поэтому кластерные срабатывания годоскопа не должны приводить к искажению (наложению) 4-битных кодов на выходах LUT1–LUT4.

С учетом сказанного, при кодировании номера сработавшего канала в REG_i адресом кластера будем считать номер канала, если он единственный в кластере, и номер второго канала для кластеров с 2 или 3 сработавшими каналами, не примыкающими к границам REG_i (события с размером кластера >3 отбраковываются). Для кластеров, примыкающих к границам REG_i, адресом кластера будем считать номер примыкающего канала (т.е. 0 или 15). Отсчет каналов производится справа налево. Выделение случаев однокластерных срабатываний и отбраковка множественных срабатываний в REG_i осуществляется следующим образом. При программировании LUT1–LUT4, наряду с 4-битными кодами адресов кластеров в REG_i, записываемыми в “младшие” разряды D0-D3 слова данных, в “старший” разряд D6 слова данных каждой ячейки памяти записывается бит признака (флаг) анализируемого события. При этом значение флага равно “1” означает, что в REG_i либо сработал только один канал (или один кластер), либо срабатывание отсутствует. В этих случаях информация пригодна для дальнейшего анализа. Значение флага равно “0” соответствует множественному срабатыванию каналов в REG_i, т.е. наличию двух и более кластеров или кластера размером >3. При дальнейшем анализе такие события должны отбраковываться. Дополнительно в разряды D4-D5 слова данных каждой ячейки LUT_i записываются 2-битные двоичные коды (согласно табл. 1), используемые при формировании 8-битного адресного кода памяти LUT5, осуществляющей кодирование номера сработавшего REG_i. Если в регистре REG_i нет сработавших каналов или событие подлежит браковке, адрес кластера равен нулю.

Таблица 1

| D6 | D5 | D4 | Назначение |
|----|----|----|--|
| 0 | 0 | 0 | В регистре более одного кластера или размер кластера > 3 (событие надо забраковать) |
| 1 | 0 | 1 | В регистре только один кластер, его размер ≤ 3, и он примыкает к правому краю |
| 1 | 1 | 0 | В регистре только один кластер, его размер ≤ 3, и он примыкает к левому краю |
| 1 | 1 | 1 | В регистре только один кластер, его размер ≤ 3, и он не примыкает к краям |
| 1 | 0 | 0 | В регистре нет ни одного сработавшего разряда (событие требует дальнейшего анализа информации во всех остальных регистрах) |

Данные с выходов D4-D5 поступают параллельно (по шинам A,B,C,D) на адресный вход (A0...A7) памяти LUT5 (через мультиплексор MX5). В результате формирование 8-битного адресного кода LUT5 осуществляется конкатенацией разрядов на шинах A,B,C,D, т.е. их значения записываются друг за другом. При программировании LUT5 в “младшие” разряды

слова данных В0 и В1 записываются 2-битные коды номеров сработавших регистров: 00 – REG1, 01 – REG2, 10 – REG3, 11 – REG4. Если сработало более одного регистра, берется самый большой номер. В бите В2 слова данных LUT5 находится признак события, который равен 1 для кандидатов в полезные события и равен 0 в противном случае. Признак устанавливается в 1, если (исходя из информации в А,В,С,Д) есть только один сработавший кластер на все четыре регистра REG1–REG4 с учетом примыкания кластеров соседних регистров.

Кодирование номеров REGi и формирование бита признака регистрируемого события можно показать на примерах регистрации 12 событий, представленных на рис. 4. Отметим, что событие № 11 на рис. 4а, в котором бит признака В2 равен 1, будет отбраковано при анализе разряда D6 на выходе соответствующей памяти LUT1–LUT4. Событие № 12 окажется взятым в качестве полезного, хотя по нашим критериям таковым не является. Но оно будет забраковано при анализе множественности в цифровой схеме MULTIPLICITY ANALYSER (см. рис. 3).

| номер события | а) | | | | б) | | | |
|---------------|----------|----------|----------|----------|---------------|--------------------|------------|----|
| | REG4(11) | REG3(10) | REG2(01) | REG1(00) | Код адреса | | | |
| | Разряды | Разряды | Разряды | Разряды | A7A6.....A1A0 | Признак события В2 | Код № REGi | |
| | | | | D C B A | B2 | | B1 | B0 |
| 1 | 0 | 0 | 0 | 0 | 00 00 00 00 | 0 | 0 | 0 |
| 2 | 0 | 0 | 0 | 0 1 | 00 00 00 01 | 1 | 0 | 0 |
| 3 | 0 | 0 | 0 | 1 0 | 00 00 00 10 | 1 | 0 | 0 |
| 4 | 0 | 0 | 0 | 0 1 0 | 00 00 00 11 | 1 | 0 | 0 |
| 5 | 0 | 0 | 0 | 1 1 0 | 00 00 01 10 | 1 | 0 | 1 |
| 6 | 0 | 0 | 0 | 1 1 1 0 | 00 00 01 10 | 1 | 0 | 0 |
| 7 | 0 | 0 | 0 | 1 1 1 0 | 00 00 01 10 | 1 | 0 | 1 |
| 8 | 0 | 0 | 0 | 1 0 1 0 | 00 00 01 11 | 0 | 0 | 1 |
| 9 | 0 | 0 | 0 | 1 0 1 0 | 00 00 11 10 | 0 | 0 | 1 |
| 10 | 0 | 0 | 1 1 | 0 0 | 00 01 10 00 | 1 | 1 | 0 |
| 11 | 0 | 0 1 0 1 | 0 1 | 0 0 | 00 00 10 00 | 1 | 0 | 1 |
| 12 | 0 | 0 | 1 1 1 | 1 1 0 0 | 00 01 10 00 | 1 | 1 | 0 |

Рис. 4. Примеры кодирования номера сработавшей группы входного регистра и формирования бита признака события в памяти LUT5: а) возможные комбинации срабатывания разрядов в 16-битных регистрах (REG1–REG4) при регистрации 12 событий; б) содержимое памяти LUT5.

Окончательное формирование сигнала признака зарегистрированного события на выходе “ВЫХ=1” модуля ЛЭ-76 осуществляется следующим образом. По логической схеме “И” анализируются 5 сигналов: 4 разряда D6 на выходах памяти LUT1–LUT4, характеризующие пригодность события в каждом 16-битном регистре, и бит В2 в слове данных LUT5. Если хотя бы один из них равен нулю, событие бракуется. Во всех остальных случаях, а именно, при регистрации полезных событий, на выходе модуля “ВЫХ=1” будет формироваться сигнал “логическая 1”. Программирование LUT1–LUT5 выполняется по командам МИСС в режиме адресной передачи данных по магистральным линиям ДА1–ДА16. При этом для задания адресных кодов памяти информация на REG1–REG5 поступает через входы “1” мультиплексоров MX1...MX5.

Как видно из рис. 3, 4-битные коды номеров сработавших каналов в REGi с выходов LUT1–LUT4 поступают параллельно на входы 0,1,2,3 мультиплексора MX6, а 2-битный код номера регистра с выхода LUT5 поступает на вход “Select” для управления передачей кодированных данных на выход MX6. В результате, на выходе модуля ЛЭ-76 образуется 6-битный код сработавшего канала в 64-битном входном регистре (рис. 5), который передается по специальному каналу быстрой связи на решающий модуль ЛЭ-79 триггерного спецпроцессора.

| | |
|---------------------|--|
| P6, P5 | P4-----P1 |
| Код номера регистра | Код номера канала в 16-битном регистре |

Рис. 5. Формат кодированных данных, передаваемых на решающий модуль ЛЭ-79.

Для исключения влияния переходных процессов во время установления сигналов выходного кода передаваемый код сопровождается сигналом DELAY STROBE, задержанным на 75 нс от заднего фронта строб-импульса записи информации во входной регистр.

Как отмечалось выше, для отбора событий по соотношениям количества частиц, прошедших через плоскость годоскопа, модуль ЛЭ-76 содержит цифровую схему MULTIPLICITY ANALYSER, представленную на рис. 6. Данные, подлежащие анализу, поступают на вход схемы параллельно по шинам M1–M4 с выходов 16-битных регистров (см. рис. 3). Далее информация разбивается на байты и поступает на адресные входы постоянных памяти (ROM). Каждая из ROM емкостью 256x4 бит содержит таблицу с информацией о числе единиц в 8-разрядном коде адреса. Поскольку количество единиц в коде адреса не превышает 8, то оно может быть закодировано 4 битами с “весами” “1”, “2”, “4”, “8”. “Младшие” разряды “1”, “2”, “4” с выходов ROM поступают на первые ступени 3-разрядных параллельных сумматоров. Сложение 3-разрядных двоичных кодов производится на вторых ступенях 3-разрядных параллельных сумматоров. “Старшие” разряды “8” (A,B,C,D) с выходов ROM и сигналы переноса E,F,G (carry out) с выходов сумматоров объединены по схеме “быстрое ИЛИ” для последующего формирования сигнала OVERFLOW (>7).

Окончательное сложение кодов чисел производится на последней (третьей) ступени 3-разрядного сумматора, на выходе которого образуется 3-разрядный двоичный код общего числа сработавших каналов в 64-битном входном регистре. Сформированный 3-разрядный двоичный код поступает также на вход мажоритарной цифровой схемы определения множественности (MAJORITY POLLING LOGIC) с выходами от “>1” до “>7”, выбираемыми переключателями. Временная задержка появления выходного кода множественности составляет не более 30 нс от заднего фронта строб-импульса записи информации во входной регистр.

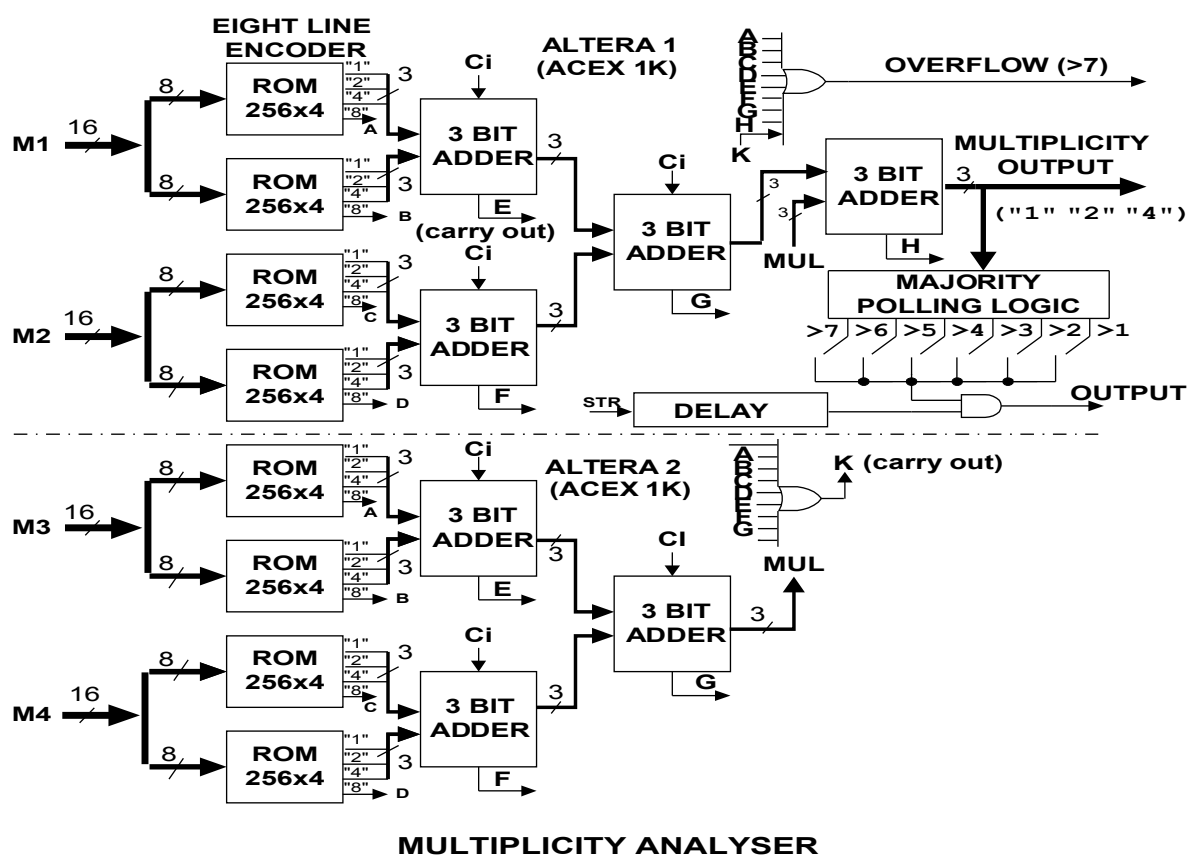


Рис. 6. Структура цифровой схемы на 64 входа для отбора одновременно сработавших каналов регистрации по множественности.

В табл. 2 представлены команды магистрали сектора МИСС, выполняемые модулем ЛЭ-76.

Таблица 2

| № | Команда | Назначение |
|---|-----------|---|
| 1 | OC | общий сброс (установка режима регистрации входных данных) |
| 2 | MA(i)Ф(0) | чтение данных из регистров REG1–REG5 |
| 3 | MA(i)Ф(3) | запись данных в регистры REG1–REG5 |
| 4 | MA(i)Ф(4) | чтение данных из памятей LUT1–LUT5 |
| 5 | MA(i)Ф(5) | запись данных в памяти LUT1–LUT5 |
| 6 | MA(0)Ф(7) | установка режима программирования LUT _i |
| 7 | MA(1)Ф(7) | выключение режима программирования LUT _i , возврат к режиму регистрации входных данных |

Во всех командах М – номер модуля, А_i – подадрес, где i может принимать значения от 0 до 4, Ф – функция. Модуль ЛЭ-76 выполняет также команды последовательного чтения информации (ПЧИ) и последовательного чтения номеров модулей (ПЧН) по магистрали сектора МИСС.

Входной 64-битный регистр, схема определения множественности, а также интерфейс с магистралью МИСС реализованы на двух интегральных микросхемах с программируемой

логикой фирмы ALTERA типа EP1K50 QC208-1. Табличные памяти LUT1–LUT5 реализованы на пяти интегральных микросхемах статической памяти фирмы SAMSUNG типа K6R1008C1D с организацией 128 Кх8 бит и временем доступа 10 нс.

Конструктивно модуль ЛЭ-76 выполнен в виде блока единичной ширины. Он состоит из двух печатных плат: фиксированной цифровой платы (Р64) и сменной платы приёмного адаптера (АД1 или АД2). На передней панели модуля расположены четыре многоконтактных разъёма для приема сигналов с годоскопа и один коаксиальный разъём для приёма внешнего стробимпульса. Кроме того, на лицевой панели модуля размещается многоконтактный разъём для соединения с каналом быстрой связи, а также три коаксиальных разъёма для выдачи сигналов “Вых>0”, “Вых>1” и “Вых=1”. Уровни сигналов, передаваемых по коаксиальным разъёмам, соответствуют стандарту NIM.

3. Решающий модуль ЛЭ-79

Структурная схема модуля ЛЭ-79 дана на рис. 7. Основу решающего модуля составляет быстродействующая табличная память RAM, реализованная на микросхеме SAMSUNG K6R4016C1D емкостью 256 Кх16 слов и временем обращения 10 нс.

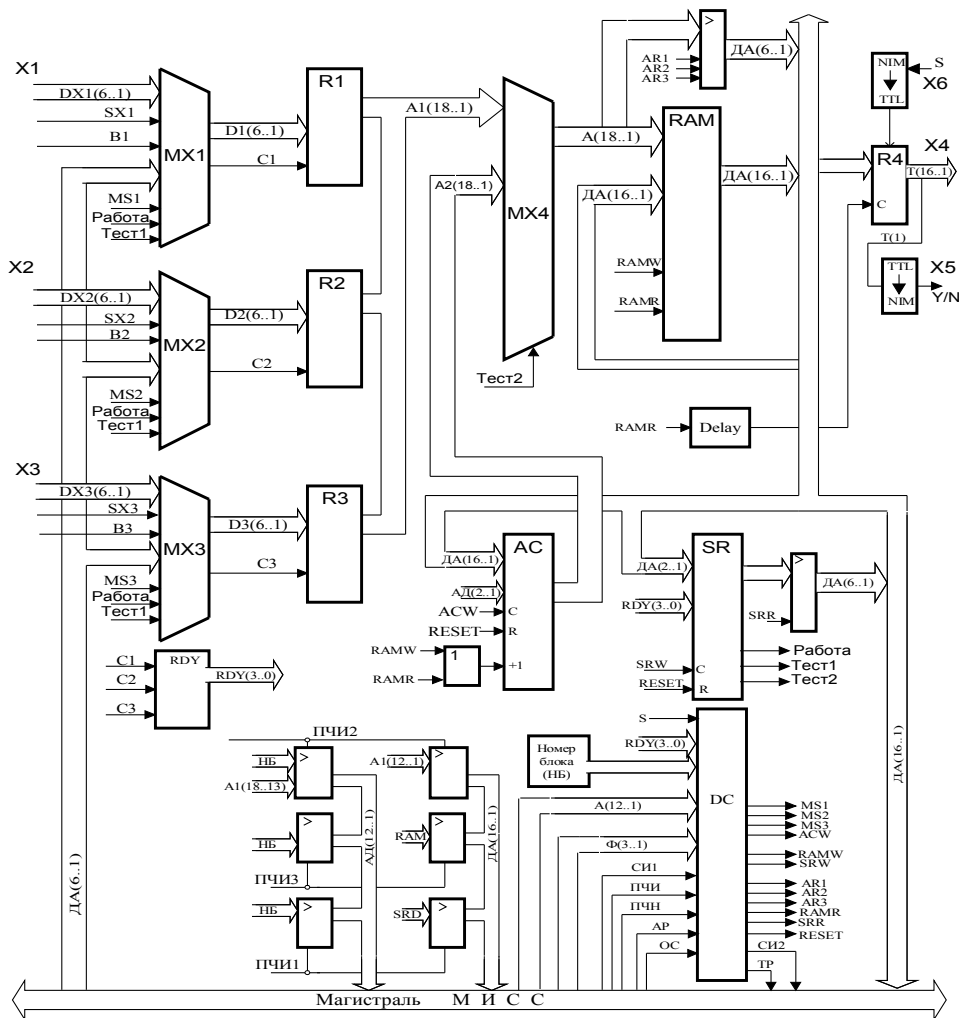


Рис. 7. Структурная схема решающего модуля ЛЭ-79.

В состав модуля также входят: мультиплексоры (MX1, MX2, MX3) переключения шин входных данных, входные регистры (R1...R3), мультиплексор (MX4) переключения шины адреса RAM, дешифратор команд (DC), счетчик адреса RAM (AC), статусный регистр (SR) и другие узлы, выполненные на программируемой микросхеме фирмы ALTERA типа EP1K50 QC208-1.

Работа решающего модуля ЛЭ-79 в рамках системы МИСС может осуществляться в трех режимах:

- ◆ режим “Работа”;
- ◆ режим “Тест 1”;
- ◆ режим “Тест 2”.

Режим работы модуля ЛЭ-79 задается с помощью статусного регистра SR по командам магистрали МИСС. Назначение разрядов 16-разрядного статусного регистра (SR) дано в табл. 3.

Таблица 3

| | | | | | |
|------------|-----------|---------------|-----------------|-------|---------|
| Разряды | P16...P10 | P9...P7 | P6...P4 | P3 | P2...P1 |
| Назначение | ----- | BUSY3...BUSY1 | READY3...READY1 | READY | Режим |
| Операции | ----- | R | R | R | W/R |

Два “младших” разряда в SR задают режим работы модуля в соответствии с табл. 4.

Таблица 4

| P2 | P1 | Режим |
|----|----|--|
| 0 | 0 | “Работа”: входная информация и строб-сигналы поступают с X1...X3 |
| 0 | 1 | “Тест 1”: входная информация и строб-сигналы поступают из сектора МИСС |
| 1 | 0 | “Тест 2”: работа с RAM в адресном режиме |
| 1 | 1 | Не используется |

Третий разряд устанавливается в “1” после записи информации во все регистры R1...R3, т.е. при получении кодов данных от всех модулей ЛЭ-76. Четвертый – шестой разряды устанавливаются в единичное значение при занесении информации в регистры R1...R3 соответственно. Разряды 7–9 показывают состояние сигналов “BUSY” модулей ЛЭ-76.

В режиме “Работа” на входные регистры R1...R3 модуля ЛЭ-79 с выходов 3 модулей ЛЭ-76 поступают 6-битные коды данных DX1, DX2, DX3 (двоичные номера сработавших элементов в годоскопах X1, X2, X3). Запоминание кодов данных в регистрах R1...R3 осуществляется по сигналам C1...C3, формируемым из внешних строб-импульсов SX1...SX3. Временные диаграммы записи кодов данных во входные регистры модуля ЛЭ-79 приведены на рис. 8. Начало операции осуществляется по внешнему сигналу “START”(S), поступающему на вход модуля ЛЭ-79 одновременно со строб-импульсом записи информации с годоскопов X1...X3 во входные регистры модулей регистрации ЛЭ-76. В модуле ЛЭ-79 сигнал “START” очищает выходной регистр R4, хранящий код решения предыдущего события. По окончании сигнала “START” модули ЛЭ-76 выставляют сигналы “Busy” и через 50 нс коды данных “BINARY CODED DATA”(DX1–DX3). Запись данных во входные регистры R1...R3 модулей ЛЭ-79 осуществляется сигналами “DELAY STROBE” (SX1...SX3) длительностью ~35 нс и задержанными на ~25 нс относительно кодов данных.

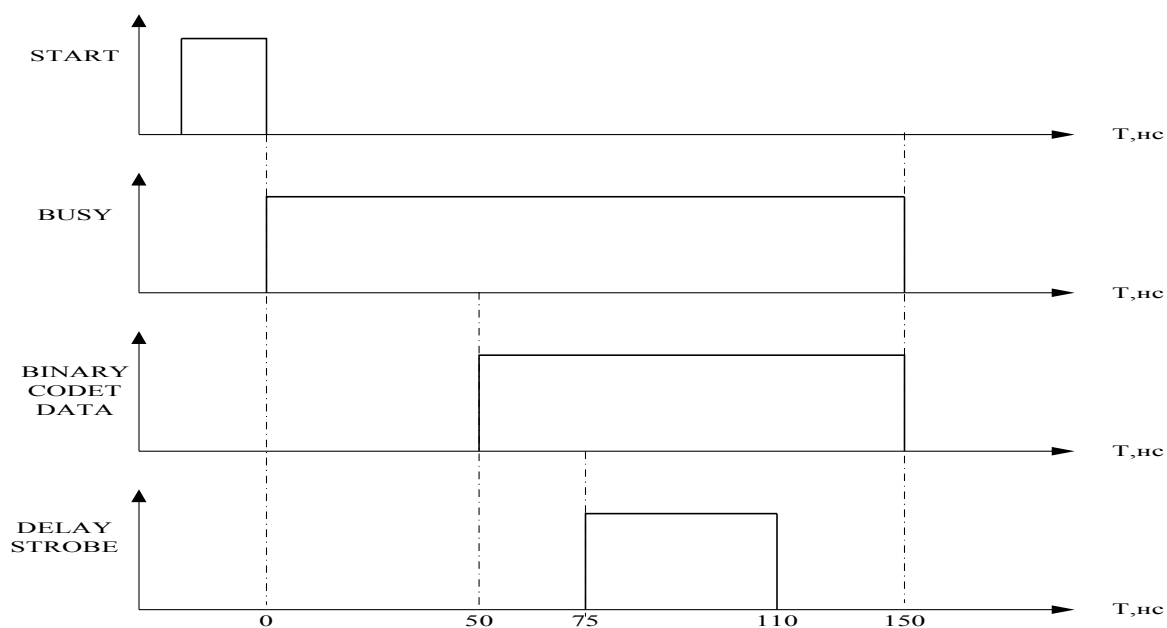


Рис. 8. Временные диаграммы записи кодов данных в регистры модуля ЛЭ-79.

После запоминания входной информации содержимое всех трех регистров является кодом адреса одной из ячеек RAM. Передача кода адреса с выходов регистров R1...R3 на адресную шину RAM происходит через мультиплексор MX4. Обращение к RAM происходит по сигналу чтения RAMR, который формируется при поступлении текущих адресных кодов от модулей ЛЭ-76. При этом обязательным условием формирования сигнала RAMR является наличие трех сигналов C1, C2, C3, которые анализируются схемой RDU.

В зависимости от принятого кода данных, на выходе RAM в “младшем” разряде слова данных образуется сигнал положительного или отрицательного триггерного решения (Y/N). В “старших” 15 разрядах содержится дополнительная информация, определяемая пользователем при программировании RAM. Данные, прочитанные из RAM, поступают на выходной регистр R4 и далее на разъемы X4, X5, установленные на передней панели вычислительного модуля. При этом суммарное время выработки сигнала триггерного решения не превышает 150 нс от заднего фронта строб-импульса записи информации в регистры модулей ЛЭ-76.

В режиме “Тест 1” проверяется работа решающего модуля без подключения модулей ЛЭ-76. При этом код адреса RAM поступает в R1...R3 по шине ДА(6..1) с магистрали МИСС через мультиплексоры MX1–MX3. Запись адресного кода в регистры R1...R3 осуществляется по строб-сигналам MS1...MS3 в адресном режиме работы МИСС.

В режиме “Тест 2” выполняется проверка памяти RAM, а также запись в RAM таблицы решений спецпроцессора. При этом код адреса на вход RAM поступает от адресного счетчика AC через мультиплексор MX4. Занесение 18-разрядного кода адреса в AC происходит по команде записи МИСС (ACW). Инкрементирование AC осуществляется после выполнения операции чтения/записи RAM в адресном режиме работы МИСС.

В адресном режиме возможны операции: запись (разряды 1-2)/чтение статусного регистра, запись данных в регистры R1...R3, чтение кода адреса памяти (на выходе MX4), запись/чтение содержимого RAM. При этом необходимые сигналы управления вырабатывает дешифратор команд (DC). В табл. 5 дан перечень команд, выполняемых модулем в адресном режиме.

Таблица 5

| № | Команда | Назначение |
|----|--------------------------|---|
| 1 | МА(0)Ф(3) | Запись в текущую ячейку RAM после записи $AC=AC+1$ (реж. “Тест 2”) |
| 2 | МА(0)Ф(0) | Чтение из текущей ячейки RAM после чтения $AC=AC+1$ (реж. “Тест 2”) |
| 3 | МА(1)Ф(3) | Запись в R1 (режиме “Тест 1”) по линиям ДА1...ДА6 (сигнал MS1) |
| 4 | МА(2)Ф(3) | Запись в R2 (режиме “Тест 1”) по линиям ДА1...ДА6 (сигнал MS2) |
| 5 | МА(3)Ф(3) | Запись в R3 (режиме “Тест 1”) по линиям ДА1...ДА6 (сигнал MS3) |
| 6 | МА(1)Ф(0) | Чтение 1...6 разрядов адреса RAM (R1 – в режиме “Тест 1”, AC – в режиме “Тест 2”) |
| 7 | МА(2)Ф(0) | Чтение 7...12 разрядов адреса RAM (R2 – в режиме “Тест 1”, AC – в режиме “Тест 2”) |
| 8 | МА(3)Ф(0) | Чтение 13...18 разрядов адреса RAM (R3 – в режиме “Тест 1”, AC – в режиме “Тест 2”) |
| 9 | МА(i)Ф(5) $i=0,1,2,3$ | Запись в AC: 16 младших разрядов по линиям ДА1...ДА16, разряд 17 по линии АД1, разряд 18 – по АД2 |
| 10 | МА(4)Ф(5) | Запись кода режима в статусный регистр по линиям ДА1, ДА2 |
| 11 | МА(4)Ф(4) | Чтение статусного регистра |

По сигналу ОС (“Общий сброс”) сбрасывается счетчик AC и модуль ЛЭ-79 устанавливается в режим “Работа”. По сигналу S модуль выставляет сигнал требования (TP) для его обслуживания при последовательном чтении информации (ПЧИ) по магистрали сектора МИСС модулем автономного контроллера ЛЭ-60. Во время операции ПЧИ из модуля считываются три слова данных в соответствии с табл. 6.

Таблица 6

| № слова | АД12...АД6 | АД6...АД1 | ДА16...ДА1 |
|---------|-------------|-----------|------------|
| 1 | Номер блока | 0 | (SR) |
| 2 | Номер блока | (R3) | (R2,R1) |
| 3 | Номер блока | 0 | (RAM) |

По окончании выдачи последнего слова происходит сброс в нулевое состояние сигнала TP и очистка 3–6 разрядов в статусном регистре (SR).

Конструктивно блок выполнен в виде модуля одиночной ширины. Для приема информации от трех модулей ЛЭ-76 на передней панели ЛЭ-79 установлен многоконтактный разъем (IDCC30-MR). Вывод 16-разрядного кода решения осуществляется через отдельный 20-контактный разъем (IDCC20-MR). Дополнительно на передней панели расположены два коаксиальных разъема для входного строб-импульса “S” и выходного сигнала “Триггер” (Y/N), передаваемых в стандарте NIM.

4. Программы для отладки и тестирования триггерного спецпроцессора

Для отладки и тестирования модульной аппаратуры спецпроцессора было разработано соответствующее программное обеспечение, реализованное на базе персонального компьютера типа IBM PC на языке программирования Си.

Наладка и тестирование аппаратуры спецпроцессора выполнялись в два этапа:

- раздельная наладка и проверка модулей ЛЭ-76 и ЛЭ-79;
- комплексная проверка работы спецпроцессора.

Первоначально наладка проводилась под управлением контроллера сектора ЛЭ-51 в адресном режиме работы МИСС. При этом в модулях регистрации ЛЭ-76 проверялась работа следующих основных узлов:

- интерфейса магистрали МИСС;
- входных регистров;
- табличных памяти (LUT1–LUT5).

Интерактивная программа тестирования входных регистров позволяла оператору задавать номер тестируемого модуля, адрес 16-битной группы (REG1–REG4) во входном регистре и 16-разрядный код данных, подлежащий записи. Проверка осуществлялась в пошаговом исполнении программы путем записи заданного кода и последующего чтения содержимого регистра по магистрали МИСС. Считанная информация выводилась на экран монитора и визуально сравнивалась с исходным кодом данных. При обнаружении ошибок оператору предоставлялась возможность запуска программы циклической записи или чтения данных из тестируемой группы регистра. При этом контроль за прохождением сигналов осуществлялся с помощью осциллографа.

При положительном результате проверки работы модулей ЛЭ-76 в ручном режиме дальнейшее тестирование модулей проводилось в автоматическом режиме. При этом программа записывала различные сдвиговые комбинации единиц и нулей в проверяемые группы регистров и после чтения регистров проводила сравнение содержимого регистров с заданной комбинацией. В случае обнаружения ошибок на экран монитора выводилось соответствующее сообщение. Тестирование табличных памяти LUT1–LUT5 проводилось также в автоматическом режиме. Проверка работы модулей ЛЭ-76 в режиме ПЧИ выполнялась с помощью отдельной программы с использованием автономного контроллера ЛЭ-60.

Тестирование решающего модуля ЛЭ-79 выполнялось с помощью набора программ, которые позволяли проверять:

- работу дешифратора команд МИСС;
- запись кода режима работы в статусный регистр;
- запись информации в адресный счетчик RAM;
- запись информации во входные регистры R1...R3;
- запись и чтение информации из RAM.

Тестирование модуля ЛЭ-79 на правильность выработки сигнала триггерного решения первоначально выполнялось без подключения модулей ЛЭ-76. Проверка заключалась в следующем. По командам МИСС в одну из ячеек RAM, адресуемую счетчиком (АС), программа записывала код триггерного решения (“1” в младший разряд слова данных). Затем адрес выбранной ячейки RAM по командам МИСС записывался во входные регистры R1...R3 вычислительного модуля, и выполнялась команда чтения RAM по адресу, поступающему с регистров R1...R3. После чтения RAM содержимое адресуемой ячейки проверялось на соответствие заданному коду. Процедура проверки выполнялась для каждой из ячеек RAM.

При комплексном тестировании спецпроцессора информация в регистры R1...R3 модуля ЛЭ-79 поступала с выходов модулей регистрации ЛЭ-76. При этом программа задавала различные комбинации тестовых сигналов и осуществляла их запись по магистрали МИСС во входные регистры модулей ЛЭ-76. Линейные номера каналов регистрации, на которые подавались тестовые сигналы, предварительно шифровались в 6-битные двоичные коды и по командам МИСС записывались в памяти LUT1–LUT5 модулей ЛЭ-76. Кроме того, для каждой комбинации тестовых сигналов в память RAM модуля ЛЭ-79 программа записывала коды данных, соответствующие положительным решениям спецпроцессора.

Правильность работы спецпроцессора определялась наличием сигнала “Триггер” (Y) на выходе решающего модуля ЛЭ-79. Детальный контроль работы спецпроцессора осуществлялся

после выработки каждого триггерного решения путем чтения информации из всех модулей спецпроцессора в режиме ПЧИ и последующего анализа информации в ЭВМ.

Заключение

Разработанная и описанная в работе аппаратура быстродействующего триггерного спецпроцессора в течение длительного времени проходила проверку на физической экспериментальной установке «ИСТРА» ИФВЭ [7] и показала стабильность характеристик и надежность в эксплуатации. В настоящее время спецпроцессор используется на физической установке ОКА ИФВЭ для выделения распадов К-мезонов в распадной базе установки ОКА. Основной задачей спецпроцессора является выделение событий, представляющих интерес для физического анализа, и подавление фона пучковых частиц ($\sim 6 \cdot 10^6$ частиц /сек), доминирующих в изучаемом процессе. Применение спецпроцессора позволяет также понизить частоту поступления триггерного сигнала до величины пропускной способности системы сбора данных установки ОКА, составляющей $\sim 3 \cdot 10^4$ событий /сек.

В заключение авторы считают своим приятным долгом поблагодарить А.В. Инякина за многочисленные обсуждения затронутых в статье вопросов и ряд полезных советов.

Список литературы

- [1] Басиладзе С.Г. Быстродействующая ядерная электроника. – М.: Энергоиздат, 1982.
- [2] Karpekov Yu.D., Ovcharov S.Ya., Petrov V.S., Simonov Yu.N., Usenko E.A. Hardware processor for on line selection of the straight particle tracks. Presented at the ESONES International Conference on Real Time Data Conference handbook JINR Dybna, Russia, 1997.
- [3] Бок Р. и др. Методы анализа данных в физическом эксперименте. /Пер. с англ. под ред. Реглера М. – М.: Мир, 1993, с. 109.
- [4] Бушнин Ю.Б. и др. Быстродействующая система регистрирующей и триггерной электроники для экспериментальных исследований в ИФВЭ. – Препринт ИФВЭ 88-47, Серпухов, 1988.
- [5] Сенько В.А., Якимчук В.И. – Препринт ИФВЭ 95-105, Протвино, 1995.
- [6] Васильев М.В., Сенько В.А., Солдатов М.М., Якимчук В.И. – Препринт ИФВЭ 95-88, Протвино, 1995.
- [7] Ажиненко И.В. и др. – Препринт ИФВЭ 2002-6, Протвино, 2002.

Рукопись поступила 22 мая 2007 г.

Н.С. Иванова и др.

Быстродействующий триггерный спецпроцессор для выделения распада частицы по координатной информации с годоскопов сцинтилляционных счетчиков:

Редактор Л.Ф. Васильева.

Подписано к печати 25.05.2007. Формат 60 × 84/8. Офсетная печать.
Печ. л. 2,125. Уч.- изд. л. 1,7. Тираж 80. Заказ 56. Индекс 3649.

ГНЦ РФ Институт физики высоких энергий,
142281, Протвино Московской обл.

Индекс 3649

ПРЕПРИНТ 2007-12, ИФВЭ, 2007
