

ГОСУДАРСТВЕННЫЙ НАУЧНЫЙ ЦЕНТР РОССИЙСКОЙ ФЕДЕРАЦИИ  
ИНСТИТУТ ФИЗИКИ ВЫСОКИХ ЭНЕРГИЙ

ИФВЭ 2011–21  
ОЭА

В.С. Петров, В.И. Якимчук

**Аппаратура для подключения  
электронных систем МИСС, КАМАК и СУММА  
к персональному компьютеру**

Протвино 2011

**Аннотация**

Петров В.С., Якимчук В.И. Аппаратура для подключения электронных систем МИСС, КАМАК и СУММА к персональному компьютеру: Препринт ИФВЭ 2011-21. – Протвино, 2011. – 19 с., 6 рис., 12 табл., библиогр.: 8.

Описаны контроллеры связи и интерфейсная карта PCI-Qbus, обеспечивающие подключение электронных систем МИСС, КАМАК и СУММА к IBM PC. Данные средства применяются в ИФВЭ на экспериментальных физических установках и автоматизированных рабочих местах разработчиков и настройщиков электронной аппаратуры.

**Abstract**

Petrov V.S., Yakimchuk V.I. Apparatus for Interfacing Electronic Systems MISS, KAMAK and SUMMA to Personal Computer: IHEP Preprint 2011-21. – Protvino, 2011. – p. 19, figs. 6, tables 12, refs.: 8.

The controllers and PCI-Qbus adapter providing interfaces of the MISS, CAMAC, SUMMA and IBM PC are described. These facilities are used in experimental set-ups and computer-aided set-ups to adjust and debug electronic system at IHEP.

## **Введение**

Появление программируемых логических интегральных схем (ПЛИС) позволяет существенно упростить процесс создания электронной аппаратуры и получать конечный продукт, требующий значительно меньших затрат при настройке и эксплуатации. Аппаратура, представленная в данной работе, является развитием интерфейсной электроники [1], разработанной в 80-е годы для подключения электронных систем МИСС [2] и СУММА [3] к микроЭВМ «Электроника-60». Длительная эксплуатация этой электроники показала ее надежность и правильность выбранного принципа ее построения. Наличие у контроллеров связи различных систем одного канала сопряжения позволило легко связать применяемые в ИФВЭ электронные системы с персональным компьютером (ПК) через адаптер ISA-Qbus [4].

Использование в современных ПК новой шины ввода/вывода PCI (Peripheral Component Interconnect) [5], пришедшей на замену ISA, потребовало разработки нового интерфейса контроллеров с этой шиной.

Описываемые в статье контроллеры связи реализованы на базе ПЛИС EP1K50QC208 фирмы ALTERA [6]. Эти контроллеры выполняют все функции предшественников и имеют ряд дополнительных возможностей.

## Интерфейсная плата PCI-Qbus

Шина ввода/вывода PCI [5] стандартизована, начиная с 1993 г., как основная шина персональных компьютеров IBM PC для подключения устройств ввода/вывода. Это процессорно-независимая 32- или 64-разрядная синхронная шина с мультиплексированием адреса и данных и тактовой частотой на шине 33 (66) МГц. Для адресации внешних устройств предусмотрено три диапазона адресов:

- диапазон регистров ввода/вывода;
- диапазон памяти;
- диапазон конфигурационных регистров (64-байтное конфигурационное пространство).

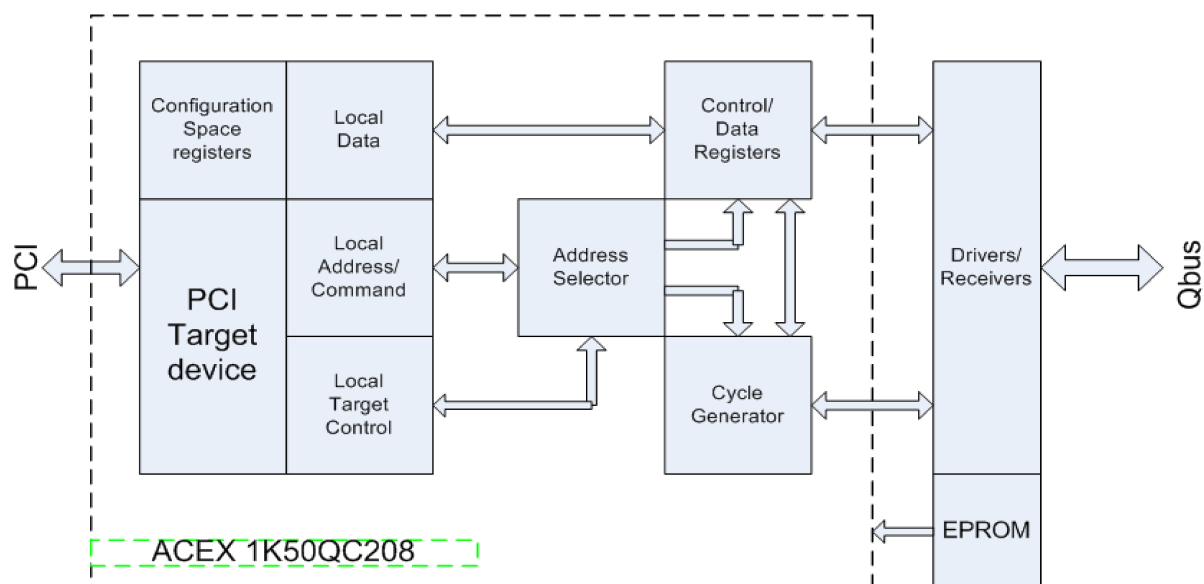


Рис. 1. Блок-схема интерфейсной платы PCI-Qbus.

Плата PCI-Qbus предназначена для подключения устройств с шиной Q-bus к персональным компьютерам IBM PC. Она представляет собой интерфейсную плату шины PCI и выполняет преобразование сигналов этой шины в сигналы шины Q-bus. Блок-схема платы представлена на рис. 1. Основой платы является программируемая логическая интегральная схема ACEX EP1K50QC208 фирмы ALTERA [6]. Интерфейс с шиной PCI реализован с помощью “мегафункции” PCI Target Device [7]. Плата содержит стандартный для шины PCI 64-байтный набор конфигурационных регистров, которые позволя-

ют программе начальной загрузки компьютера BIOS при включении питания динамически выделять устройству необходимую область адресов (технология Plug and Play). Для управления работой платы используются 8 внутренних 16-разрядных регистров, обращение к которым осуществляется через адресное пространство ввода-вывода шины PCI:

- **РС** – регистр статуса;
- **РП** – регистр вектора прерываний шины Q-bus;
- **РАЧ** – регистр адреса устройства на шине Q-bus при чтении;
- **РД** – регистр данных;
- **РАД** – регистр адреса устройства на шине Q-bus при записи.

Остальные три – резервные и могут использоваться для тестирования платы.

В регистре статуса используются только три младших разряда:

00 – готовность платы к работе;

01 – тайм-аут выполнения текущей операции на шине Q-bus (адресуемое устройство не завершило операцию в течение заданного времени);

02 – прерывание на шине Q-bus.

При записи в этот регистр любых данных выполняется установка платы в исходное состояние и формируется сигнал “Сброс” на шину Q-bus.

Регистр РП используется для записи восьми разрядов вектора прерывания, передаваемого по шине Q-bus при выполнении операции чтения адреса прерывания. Запись любых данных в этот регистр сбрасывает плату в исходное состояние, но при этом, в отличие от записи в регистр РС, сигнал “Сброс” на шине Q-bus не вырабатывается.

Регистры РАЧ и РАЗ служат для задания адреса регистра ввода/вывода на шине Q-bus при выполнении операций чтения и записи соответственно.

Регистр данных предназначен для хранения информации, записываемой по шине Q-bus или считываемой из устройств по этой шине.

Для выполнения операции чтения по шине Q-bus необходимы три операции с регистрами платы на шине PCI: записать адрес нужного регистра устройства шины Q-bus в регистр РАЧ (по этой команде начинается операция чтения на шине Q-bus), проверить сигнал готовности платы (разряд 00 регистра РС) и прочитать полученные данные из регистра РД. Для записи также требуются три операции: записать данные

в регистр РД, записать адрес нужного регистра устройства на шине Q-bus (по этой команде начинается цикл записи на шине Q-bus) и проверить сигнал готовности платы (или сигнал тайм-аута, если операция не завершилась в течение заданного времени).

Плата полностью поддерживает протокол шины Q-bus. Длительность тайм-аута для операций на шине устанавливается с помощью переключателя SW1-2 и составляет 0.6, 1.2, 1.8 или 2.4 мкс. Плата обеспечивает формирование и передачу на шину PCI запросов на прерывание двух типов: по тайм-ауту операции на шине Q-bus и по сигналу требования на обслуживание шины Q-bus.

Конструктивно плата PCI-Qbus представляет собой интерфейсную плату шины PCI. Для подключения шины Q-bus служит разъем IDCC40-MR. Максимальная длина подключаемого плоского скрученного кабеля составляет 5 м.

### **Контроллер сектора системы МИСС (ЛЭ-83)**

Контроллер ЛЭ-83 является развитием контроллера ЛЭ-51 [1], но имеет три дополнительных режима работы: блочный режим последовательного чтения номеров модулей (БПЧН), блочный асинхронный режим последовательного чтения информации (БАПЧИ) и блочный синхронный режим последовательного чтения информации (БСПЧИ). В блочных режимах информация, принимаемая контроллером от регистрирующих модулей, записывается во внутреннюю память. Передача из буферной памяти в компьютер выполняется после завершения блочного режима. Режимы БАПЧИ и БСПЧИ обеспечивают проверку электроники в условиях, приближенных к работе с автономными контроллерами (как она работает на экспериментальных установках), и дают возможность создавать системы сбора данных на основе контроллера ЛЭ-83 без применения автономных контроллеров. Подробнее о режимах будет сказано ниже.

Контроллер является ведомым устройством для шины Qbus и выполняет операции ввода-вывода по адресам A0, A0+2, A0+4, A0+6, A0+010, A0+012, A0+014 и A0+016. A0 – 16-разрядный код базового адреса, а значения смещений – восьмеричные константы. Наименьшее значение базового адреса – 0170000 (восьмеричный код, четыре старших разряда которого фиксированы и имеют значение логической единицы). Четыре младших разряда определяют относительный адрес, а восемь промежуточ-

ных – задаются переключателями, установленными на печатной плате. Код смещения (или относительный адрес) указывает на один из внутренних регистров контроллера (табл. 1).

Таблица 1.

Аотн.	Узел
0	Статусный регистр
2	Регистр команд/адреса
4	Регистр вектора и маски
6	Регистр режима и сигналов управления регистрацией
010	Регистр данных
012	При чтении – статус режимов БПЧН, БАПЧИ и БСПЧИ, при записи – вывод синхросигнала на разъем передней панели.
014	Адресная память (АЗУ) режимов БПЧН, БАПЧИ, БСПЧИ
016	Память данных (ДЗУ) режимов БПЧН, БАПЧИ, БСПЧИ

#### Статусный регистр (СР)

Адрес регистра Аср=А0. Разряды 15, 11 - 3 доступны для чтения, разряды 2 - 0 – для чтения/записи (табл. 2).

Таблица 2.

15	14..12	11	10	9	8	7	6	5	4	3	2	1	0
ФНД	-	БПЧФ	СИ2	СИ1	АР	ПЧИ	ПЧН	Ош	Тр	Гт	Т3	Т2	Т1

- ФНД – признак наличия информации во входных регистрах (РА и РД), полученной в результате выполнения одного цикла чтения в режимах ПЧИ и ПЧН.

- БПЧФ – признак завершения блочных режимов БПЧН, БАПЧИ, БСПЧИ. Прочитанная информация занесена в память контроллера (ЗУ адресов и ЗУ данных).

- СИ2 – состояние линии СИ2 магистрали сектора МИСС.

- СИ1 – состояние линии СИ1 магистрали сектора МИСС.

- АР – состояние линии АР магистрали сектора МИСС.

- ПЧИ – состояние линии ПЧИ магистрали сектора МИСС.

- ПЧН – состояние линии ПЧН магистрали сектора МИСС.

- Ош – состояние триггера «Ошибка синхронизации». Триггер принимает состояние логической единицы, если при выполнении операции МИСС возникла ошибочная ситуация.

- Тр – состояние линии Тр магистрали сектора МИСС.

- Гт – состояние линии Гт магистрали сектора МИСС.

- T1 - T3 – состояние входных триггеров контроллера. Запись по команде и сигналами, поступающими с разъемов передней панели.

#### Регистр команд (РК)

Адрес регистра  $Ark=A0+02$ . Данный регистр используется в режиме «Адресная передача».

Разряды 14 - 0 (табл. 3) доступны для записи/чтения, разряд 15 – только для записи. При записи в 15-й разряд «1» в магистраль сектора посылается сигнал ОС, значение остальных разрядов игнорируется. Если 15-й разряд имеет нулевое значение, то в магистраль сектора выдается содержимое разрядов 14 - 0 и сигнал СИ1, инициирующий операцию в магистрали.

Таблица 3.

Бит	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Назн.	ОС	Ф3	Ф2	Ф1	М6	М5	М4	М3	М2	М1	П6	П5	П4	П3	П2	П1

- ОС – «Общий сброс».
- Ф3 - Ф1 – код функции.
- М6 - М1 – код номера модуля.
- П6 - П1 – код подадреса.

#### Регистр адреса (РА)

Адрес регистра  $Ara=A0+02$ . Содержит адрес канала регистрации в режиме ПЧИ (М6 - М1, П6 - П1) или номер модуля в режиме ПЧН и состояние сигнала «Ошибка синхронизации». Наличие логической единицы в разряде «Ош» свидетельствует о нарушении асинхронного протокола выполнения операции в магистрали сектора. Все разряды доступны только для чтения (таблица 4).

Таблица 4.

Бит	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Назн.	Ош	-	-	-	М6	М5	М4	М3	М2	М1	П6	П5	П4	П3	П2	П1

Регистр данных (РД) – 16-разрядный регистр, содержащий данные для записи в модуль сектора или информацию, прочитанную из адресуемого модуля. Все разряды доступны для записи и чтения. Адрес регистра  $Arд=A0+010$ .



Регистр вектора и маски (РВМ) зарезервирован для работы в режиме прерывания ЭВМ от восьми источников.

В настоящее время используется как тестовый регистр Qbus. Адрес регистра Арвм=A0+04. Все разряды доступны для записи/чтения.

Регистр режима и сигналов УР (РРУР) – 9-разрядный регистр, разряды которого определяют режим работы сектора МИСС и состояние сигналов УР6 - УР1 магистрали сектора. Все разряды доступны для чтения и записи (табл. 5).

Адрес регистра Аррур=A0+06.

Таблица 5.

Бит	8	7	6	5	4	3	2	1	0
Назн.	Р3	Р2	Р1	УР6	УР5	УР4	УР3	УР2	УР1

- УР6 - УР1 – состояние сигналов управления регистрацией магистрали сектора МИСС. Контроллер не выдает эти сигналы, если сектор находится в режиме «Автономная работа».

- Р3 - Р1 – определяют режим работы сектора МИСС и контроллера ЛЭ-83. Коды режимов даны в табл. 6.

Таблица 6.

Р3	Р2	Р1	Режим
0	0	0	Адресная передача
0	0	1	ПЧН
0	1	0	ПЧИ
0	1	1	Автономная работа
1	0	0	Адресная передача
1	0	1	БПЧН
1	1	0	БАПЧИ
1	1	1	БСПЧИ

**Адресная передача** – это режим, при котором для выполнения операции МИСС требуется занесение команды в РК.

**ПЧН** – режим, используемый для чтения номеров модулей, установленных в секторе МИСС (рис. 2). При занесении кода 001 в разряды Р3 - Р1 контроллер устанавливает сигнал ПЧН на шине магистрали сектора. Все включенные модули сектора (кроме контроллеров) отвечают на него сигналом Тр. Контроллер ЛЭ-83 в ответ на Тр посылает в магистраль сигнал СИ1. Модуль, расположенный в крайней правой позиции,

выставляет на линии АД12...АД7 свой номер и сигнал СИ2. Контроллер запишет полученный код номера в РА и снимет СИ1. Модуль, выдавший свой номер, снимет Тр и СИ2 и разрешит выдачу номера следующему за ним слева модулю. Факт наличия информации в РА подтверждается установкой “флага” наличия данных (ФНД) статусного регистра. Новый цикл чтения запустится контроллером после чтения РА. Когда последний модуль сектора выдаст свой номер, в магистрали сектора снимется сигнал Тр. После чтения РА и при отсутствии Тр новый цикл чтения не вырабатывается. Для снятия режима ПЧН необходимо обнулить разряд Р1.

**ПЧИ** – режим, используемый для приема данных только с модулей, содержащих информацию. При занесении кода 010 в разряды Р3 - Р1 в магистрали сектора устанавливается сигнал ПЧИ. Модули, имеющие значащую информацию, выставляют активный сигнал на линию Тр. Контроллер выставляет сигнал СИ1. Первым на него отвечает самый правый модуль с информацией. В ответ на СИ1 он выдает данные на линии данных, код адреса на линии адреса и строб СИ2. Контроллер записывает эту информацию в РА и РД и снимает СИ1. Ведомый модуль завершает цикл снятием СИ2 и информации с линий адреса и данных. После передачи всех данных модуль передает разрешение на чтение соседу слева. Если модуль не имеет полезной информации, он транслирует сигнал разрешения следующему модулю. Факт наличия информации в РА и РД подтверждается установкой флага наличия данных (ФНД) статусного регистра. Новый цикл чтения запустится контроллером после чтения РА (при наличии Тр), следовательно, первым должен прочитываться РД. Для снятия режима ПЧИ необходимо обнулить разряд Р2. Алгоритм работы в режиме ПЧИ дан на рис. 3.

Период следования сигнала СИ1 определяется программой компьютера и имеет длительность равную нескольким микросекундам.

**БПЧН.** Инициализация режима происходит записью кода 101 в разряды Р3 - Р1. Контроллер выполняет режим ПЧН в секторе, записывает полученную информацию во внутреннюю память адресов (АЗУ), формирует статусное слово режима и устанавливает в «1» флаг завершения работы (БПЧФ) в СР. После получения сигнала окончания (БПЧФ=1) необходимо прочитать статусное слово (адрес Асс=А0+012) режима БПЧН, формат которого приведен в табл. 7.

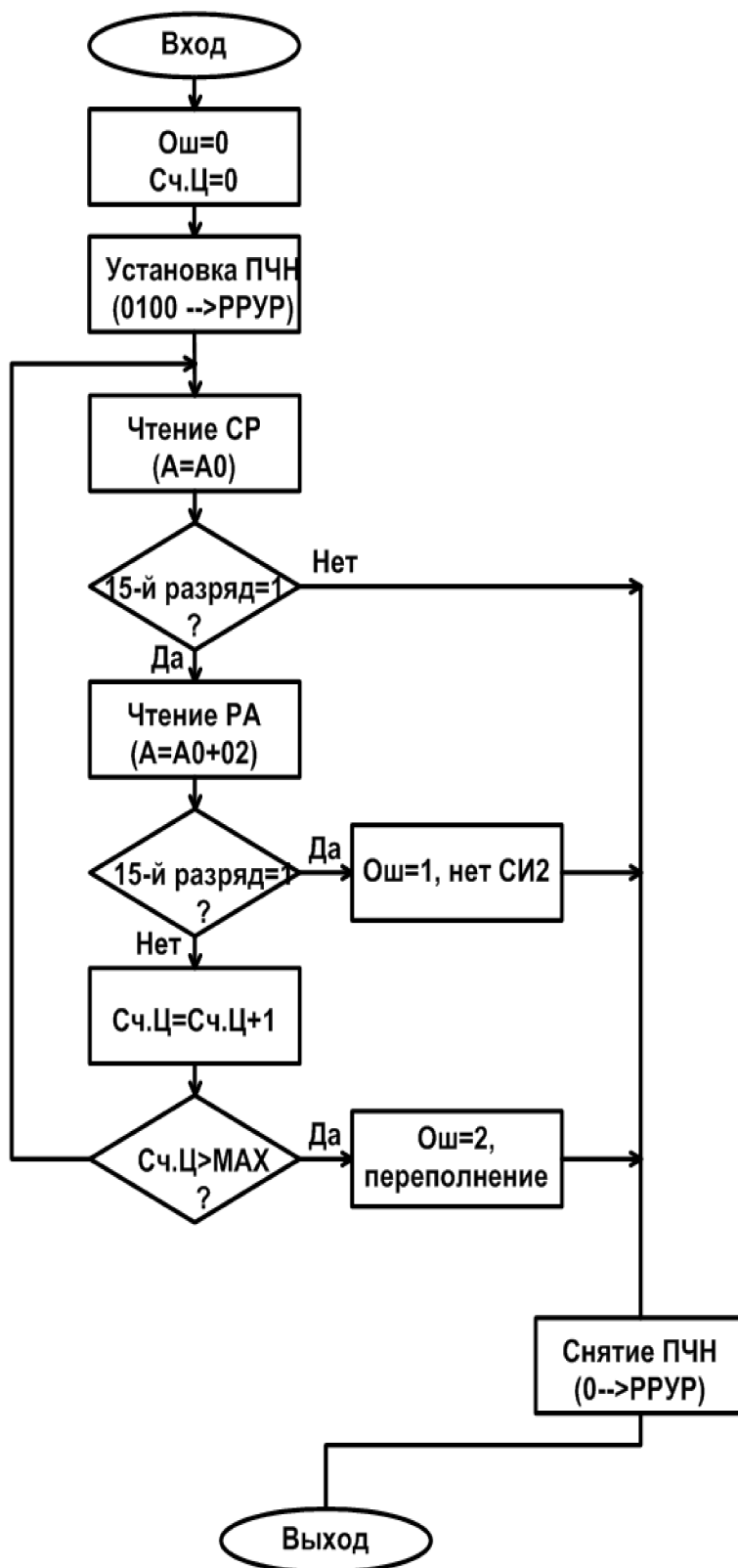


Рис. 2. Алгоритм режима ПЧН.

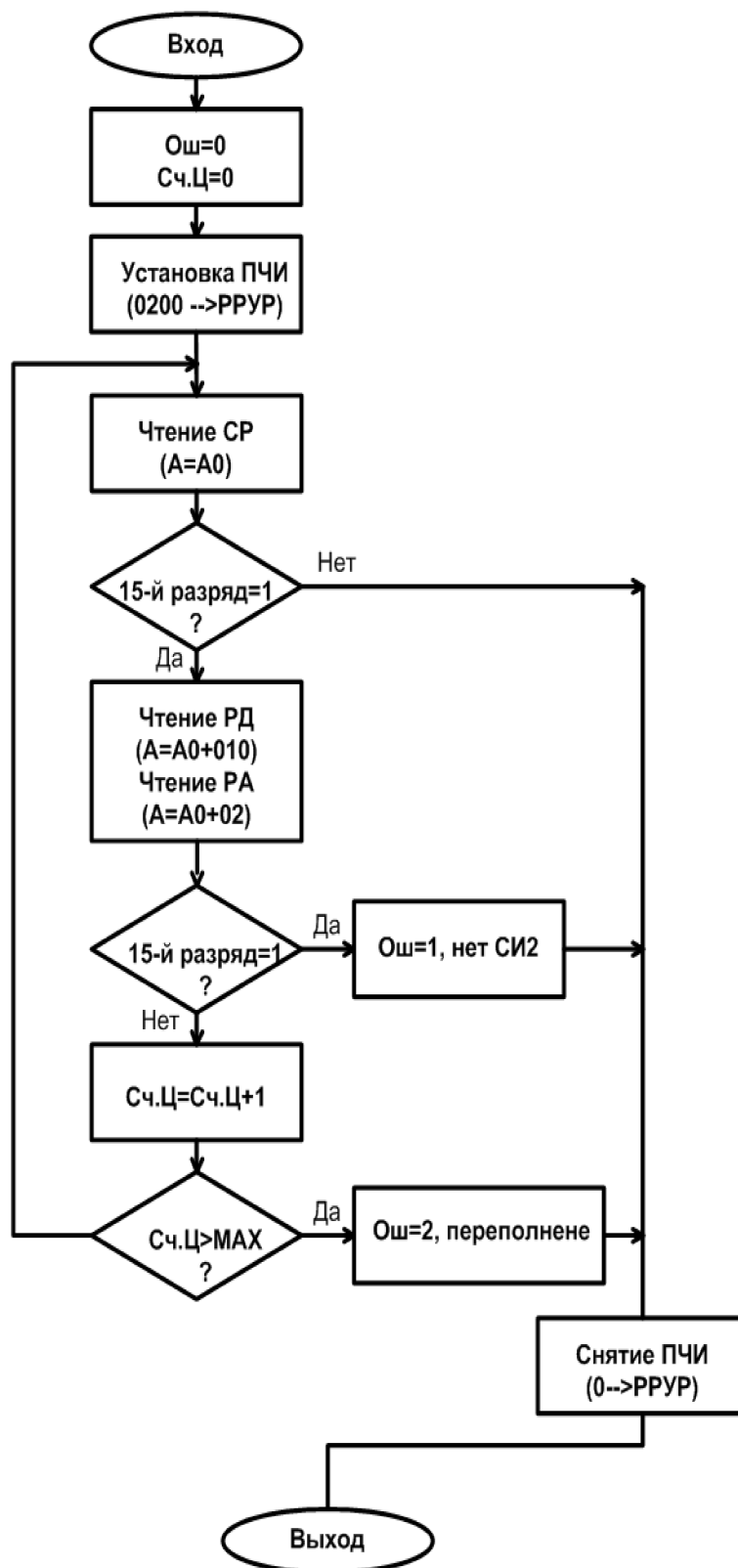


Рис. 3. Алгоритм режима ПЧИ.

Таблица 7.

Бит	5	14	13	12	11...10	9...0
Назначение	Ош	Нет СИ2	Переполнение	СИ2=1	-----	Число циклов

Число циклов – количество прочитанных из сектора слов.

- Ош – указывает на ошибку, возникшую при выполнении режима. При первой же ошибке происходит аварийное прекращение режима. Возможны следующие ошибки:

- Нет СИ2 – нет отклика на СИ1 при наличии Тр;
- Переполнение – Число циклов превысило допустимое значение (для БПЧН – 21);
- СИ2=1 – нет снятия СИ2.

Чтение всего массива выполняется автоматическим повторением команды чтения АЗУ ( $A_{азу}=A_0+014$ ) в соответствии с числом циклов, заданном в регистре статуса. Формат адреса модуля аналогичен адресу, записываемому в режиме ПЧН. Алгоритм работы с контроллером в режиме БПЧН дан на рис. 4.

**БАПЧИ** (рис. 5). Режим аналогичен режиму БПЧН. Инициализация режима происходит записью кода 110 в разряды Р3 - Р1. Контроллер выполняет режим ПЧИ в секторе, записывает получаемую информацию во внутреннюю память адресов (АЗУ) и данных (ДЗУ), формирует статусное слово режима и устанавливает в «1» флаг завершения работы (БПЧФ) в СР. После получения БПЧФ=1 необходимо прочитать статусное слово (адрес  $A_{сс}=A_0+012$ ). Статусное слово после окончания режима БАПЧИ аналогично режиму БПЧН. После чтения статусного слова выполняется чтение АЗУ и ДЗУ ( $A_{дзу}=A_0+016$ ). Емкость памяти АЗУ и ДЗУ по 1К 16-разрядных слов, поэтому ошибка типа «Переполнение» возникает, когда произошло заполнение памяти, а система требует продолжения чтения. Период следования сигнала СИ1 в этом режиме – 300-400 нсек.

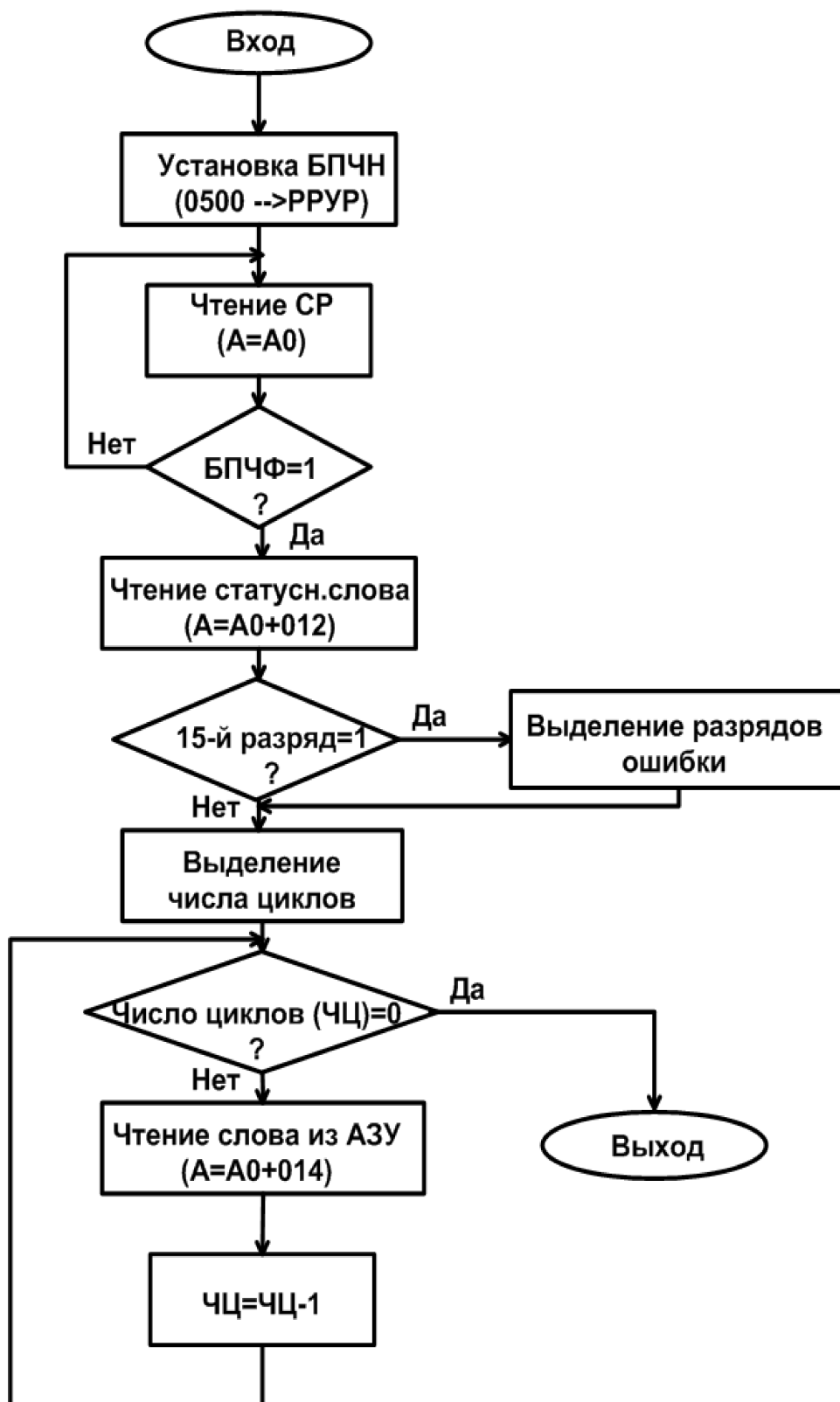


Рис. 4. Алгоритм режима БПЧН.

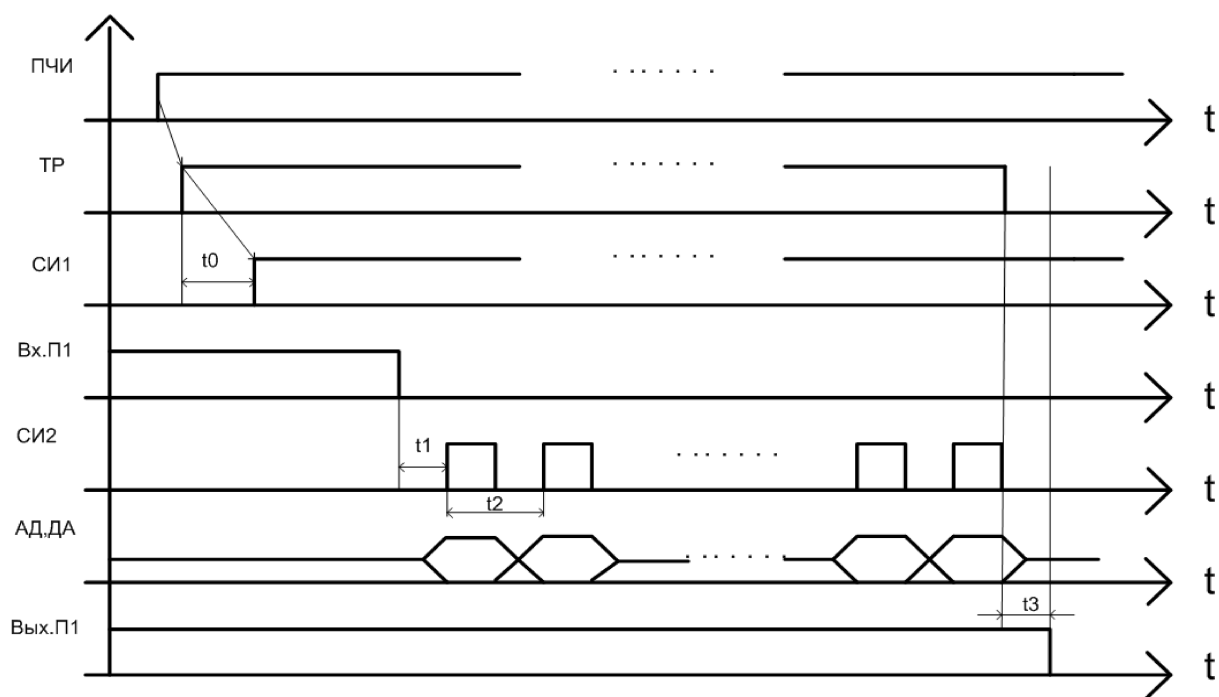


Рис. 5. Временная диаграмма работы модуля системы МИСС в режиме синхронного ПЧИ.

**БСПЧИ.** Для сокращения времени опроса регистрирующей электроники МИСС реализован блочный синхронный режим ПЧИ. Работа системы в режиме БСПЧИ происходит следующим образом: контроллер устанавливает в магистрали сектора сигнал ПЧИ. При наличии информации для чтения в ответ на ПЧИ контроллер получает сигнал ТР. Если в течение 500 нсек сигнал ТР не появится (в опрашиваемом секторе нет информации), режим ПЧИ завершается. Через 100-150 нсек ( $t_0$ ) после получения ТР контроллер вырабатывает сигнал СИ1. Этот сигнал имеет активное состояние в течение длительности ПЧИ и может сниматься лишь на время неспособности контроллера принимать данные (например, по причине занятости приемного буфера). Для начала передачи данных регистрирующий модуль должен получить разрешающий сигнал Вх.П1. Начало передачи происходит спустя время  $t_1$  ( $30 \leq t_1 \leq 400$  нсек). Период следования сигнала СИ2 и информации определяется регистрирующим модулем ( $t_2 \geq 100$  нсек). Передав всю информацию, регистрирующий блок снимает сигнал ТР и формирует разрешающий сигнал Вых.П1. Сигнал ТР снимается одновременно со снятием последнего СИ2, а сигнал Вых.П1 – через время  $t_3$  после снятия последнего СИ2 ( $t_3 \geq 30$  нсек). Временная диаграмма работы системы в режиме БСПЧИ дана на рис. 5.

Алгоритм работы контроллера для режима БСПЧИ аналогичен алгоритму для БАПЧИ (рис. 6). Минимальный период следования сигналов СИ2 – 100 нсек.

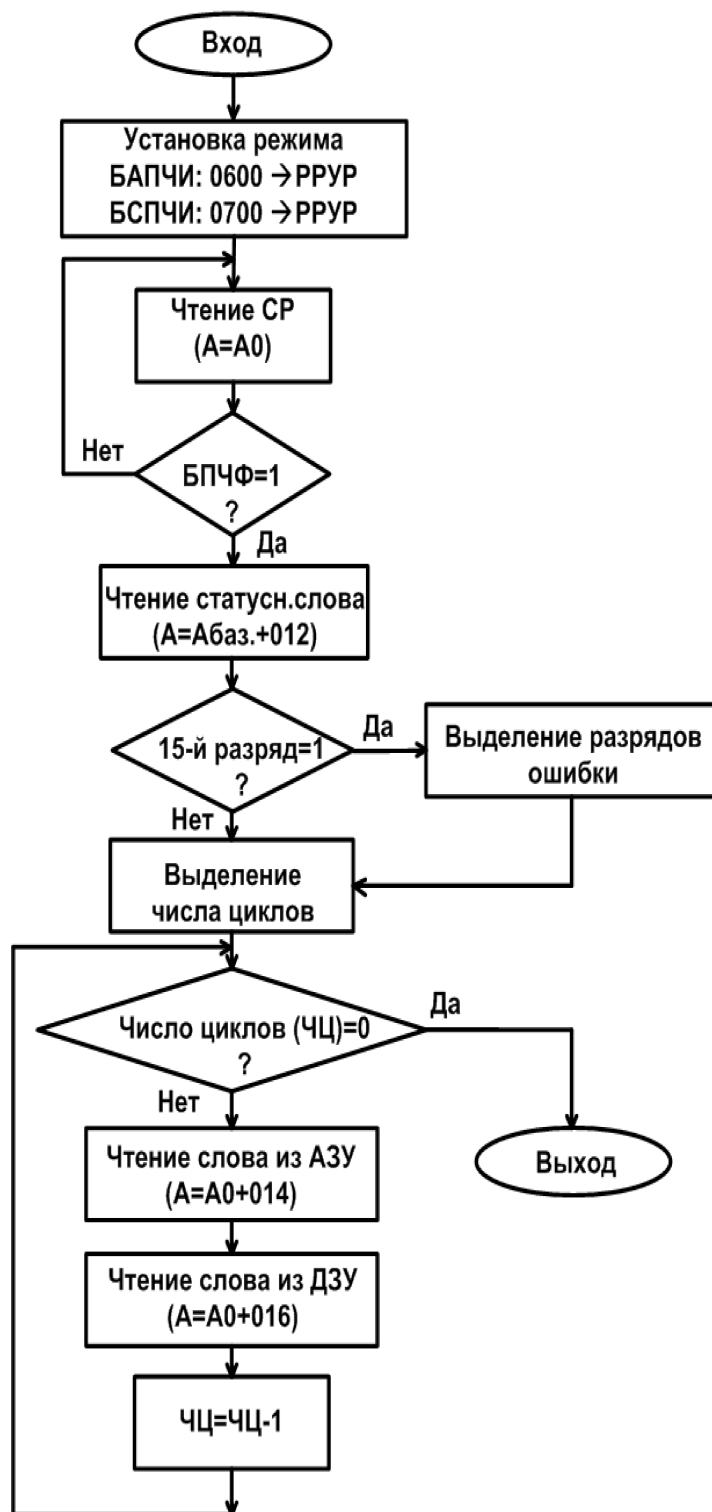


Рис. 6. Алгоритм режимов БАПЧИ и БСПЧИ.



Примечание. Некоторые модули регистрирующей электроники упаковывают адресную информацию и данные в одно слово данных и в режиме ПЧИ не выдают никакой информации на адресные линии магистрали сектора. В этом случае чтение АЗУ в режимах БАПЧИ и БСПЧИ не выполняется.

**АР** – режим, при котором управление модулями сектора передается автономному контроллеру.

В основном варианте реализации схемы контроллера входные сигналы, подаваемые на разъемы 1 – 3 устанавливаются триггеры Т1 – Т3 и могут служить сигналами запросов на выполнение определенных пользователем действий. Выходной сигнал может быть использован как синхроимпульс для настройки системы сбора данных. При необходимости возможна реализация любого алгоритма использования этих сигналов благодаря применению программируемой логической микросхемы.

## **Каркасные контроллеры для систем СУММА и КАМАК**

Модуль ЛЭ-88С является каркасным контроллером системы СУММА и полностью совместим с контроллером ЛЭ-20С [1] по функциям каркасного контроллера, однако в отличие от последнего при подключении нескольких каркасов он должен присутствовать в каждом каркасе (ЛЭ-20С обеспечивал управление каналом стойки до 7 каркасов). Адресация этих каркасных контроллеров организуется отдельными адресами их внутренних регистров на шине Qbus.

Модуль ЛЭ-88К – каркасный контроллер системы КАМАК [8] и отличается от ЛЭ-88С механическими размерами и разрядностью шины данных канала каркаса.

Базовый адрес регистров этих контроллеров на шине Q-bus задается переключателями, установленными на печатной плате, и может принимать восьмеричные значения 177400, 177420, 177440, 177460.....177760. Контроллер может иметь в себе до восьми регистров с относительными восьмеричными адресами 0, 2, 4, 6, 10, 12, 14 и 16. Назначение регистров дано в табл. 8.

Таблица 8.

Аотн.	Назначение	Операция
0	Регистр команды (ПК)	Запись - Чтение
2	Регистр состояния (РС)	Запись - Чтение
4	Регистр команды синхронизации	Запись - Чтение
6	Регистр данных (РД0) разряды 17–24 (для ЛЭ-88К)	Запись - чтение
10	Регистр данных (РД1): разряды 1 - 16	Запись - Чтение
12	Регистр LAM: L1..L16	Чтение
14	Регистр LAM: L17..L21	Чтение
16	Резерв	

Регистр команды

При записи кода в этот регистр выполняется операция в магистрали каркаса КАМАК/СУММА. Назначение разрядов регистра дано в табл. 9.

Таблица 9.

Бит	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Назн.	F16	F8	F4	F2	F1	N16	N8	N4	N2	N1	A8	A4	A2	A1

Регистр состояния хранит статусные сигналы контроллера и сигналы управления выдачей синхросигналов на разъемы PC00, установленные на передней панели блока. В табл. 10 дано назначение разрядов.

Таблица 10.

14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SY2c	SY2b	SY2a	SY1c	SY1b	SY1a	SY4	SY3	T2	T1	I	Ош	D	X	Q
W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R	R	R	R	R	R

Разряды X и Q показывают состояние одноименных сигналов канала каркаса КАМАК/СУММА после выполнения команды NAF. Разряд D принимает значение логической единицы, если в магистрали каркаса присутствует хотя бы один сигнал LAM. Перечисленные разряды доступны только для чтения. Разряд I: если он имеет значение 1, то в магистрали каркаса сигнал I имеет активное значение. Разряды T1 и T2 принимают значение единицы, если на соответствующие входные разъемы были поданы импульсные сигналы. Запись в эти разряды используется для их обнуления.

Разряды SY3 и SY4 позволяют выводить потенциальные сигналы на разъемы «Вых3» и «Вых4». Разряды SY1(a,b,c) и SY2(a,b,c) выбирают импульсные сигналы,

поступающие на разъемы «Вых1» и «Вых2» в соответствии с табл. 11 и 12. При инициализации контроллера (сигналом К-СБРОС шины Qbus или сигналом Z канала каркаса) разряды SY1 и SY2 очищаются.

Таблица 11.

SY1c	SY1b	SY1a	Синхросигнал
0	0	0	Вывод «1» по Aотн=12
0	0	1	Вывод по Aотн=0
0	1	0	Вывод по Aотн=2
0	1	1	Вывод по Aотн=4
1	0	0	Вывод по Aотн=6
1	0	1	Вывод Aотн=10
1	1	0	Вывод Aотн=12
1	1	1	Совпадение выданной команды NAF с заданной

Таблица 12.

SY2c	SY2b	SY2a	Синхросигнал
0	0	0	Вывод «1» по Aотн=14
0	0	1	Ввод по Aотн=0
0	1	0	Ввод по Aотн=2
0	1	1	Ввод по Aотн=4
1	0	0	Ввод по Aотн=6
1	0	1	Ввод Aотн=10
1	1	0	Ввод Aотн=12
1	1	1	Ввод Aотн=14

Синхросигналы 1 – 7 могут быть полезны при настройке контроллера, а синхросигналы 0 и SY3 и SY4 предназначены для управления различными электронными системами.

Регистр команды синхронизации хранит код команды, при выдаче которой в канал каркаса вырабатывается синхросигнал. Все разряды доступны для записи и чтения. Назначение разрядов регистра – см. табл. 9.

Регистр данных (РД0) хранит восемь старших разрядов кода данных, выдаваемых на линии W24-W17 канала каркаса при выполнении операции записи или полученных в результате чтения модуля КАМАК/СУММА с линий R24-R17 (только для ЛЭ-88К). Доступ к РД происходит при обращении по относительному адресу Qbus Aотн+6.

Регистр данных (РД1) хранит 16-разрядный код данных, выдаваемых на линии W16-W1 канала каркаса при выполнении операции записи или полученных в результате чтения модуля КАМАК/СУММА с линий R16-R1. Доступ к РД происходит при обращении по относительному адресу шины Qbus Aотн+010.

Регистр LAM содержит информацию о состоянии сигналов L21..L1. Доступ – при чтении по двум относительным адресам шины Qbus: 012 (L16 - L1) и 014 (L21 - L17).

## **Заключение**

Разработанная и описанная аппаратура в течение нескольких лет успешно используется на автоматизированных рабочих местах разработчиками электроники при испытании и настройке электроники, создаваемой для экспериментальных установок ИФВЭ. Непосредственно на установках данные блоки являются составной частью систем сбора данных или применяются на стендах при выполнении методических работ. Использование ПЛИС позволяет проводить модификации контроллеров с учетом специфики экспериментальной установки.

## **Список литературы**

- [1] Сенько В.А., Якимчук В.И. – Препринт ИФВЭ 95-105, Протвино, 1995.
- [2] Бушнин Ю.Б., Ваньев В.С., Гончаров П.И. и др. – Препринт ИФВЭ 88-47, Серпухов, 1988.
- [3] Алферова О.И., Бушнин Ю.Б., Денисенко А.А. и др. Препринт ИФВЭ 74-122, Серпухов, 1974.
- [4] Буянов О.В., Якимчук В.И. – Препринт ИФВЭ 95-104, Протвино, 1995.
- [5] The PCI bus, <http://www.ibm.com/developerworks/library/pa-spec5.html>
- [6] ACEX 1K Programmable Logic Family Data Sheet. September 2001, ver. 3.3. <http://www.altera.com>

[7] PCI MegaCore Function User Guide. August 2001. <http://www.altera.com>

[8] CAMAC. A Modular Instrumentation System for Data Handling. EURATOM Report EUR 4100e, 1972.

*Рукопись поступила 5 октября 2011 г.*

В.С. Петров, В.И. Якимчук

Аппаратура для подключения электронных систем МИСС, КАМАК и СУММА  
к персональному компьютеру.

Редактор Л.Ф. Васильева.

---

Подписано к печати	11.10.2011.	Формат	60 × 84/16.	Офсетная печать.
Печ.л.	1,44.	Уч.–изд.л.	2,016.	Тираж 80.
		Заказ	3.	Индекс 3649.

---

Государственный научный центр  
Российской Федерации  
Институт физики высоких энергий

142281, г. Протвино Московской области,  
пл. Науки, д. 1.

Индекс 3649

---

ПРЕПРИНТ 2011-21, ИФВЭ, 2011

---