



ГОСУДАРСТВЕННЫЙ НАУЧНЫЙ ЦЕНТР РОССИЙСКОЙ ФЕДЕРАЦИИ

ИНСТИТУТ ФИЗИКИ ВЫСОКИХ ЭНЕРГИЙ

ИФВЭ 2012–20

ОЭА

В.А. Сенько, М.М. Солдатов, В.И. Якимчук

**Аппаратура для создания систем сбора данных  
экспериментальных установок ИФВЭ  
с буферизацией информации,  
принимаемой за цикл ускорителя**

Протвино 2012

**Аннотация**

Сенько В.А., Солдатов М.М., Якимчук В.В. Аппаратура для создания систем сбора данных экспериментальных установок ИФВЭ с буферизацией информации, принимаемой за цикл ускорителя: Препринт ИФВЭ 2012–20. – Протвино, 2012. – 21 с., 8 рис., 3 табл., библиогр.: 8.

Описаны автономные контроллеры системы МИСС и блок сопряжения контроллеров с персональным компьютером. Представленная аппаратура является основой систем сбора данных ряда физических установок ИФВЭ. Система сбора данных обеспечивает буферизацию информации, полученной от детекторов частиц за цикл ускорителя, и ее передачу в компьютер в промежутках между циклами. Такая организация системы сбора данных позволяет значительно повысить скорость набора информации при проведении экспериментов.

**Abstract**

Sen'ko V.A., Soldatov M.M., Yakimchuk V.I. Data acquisition apparatus for IHEP experimental set-ups with the buffering of information received from detectors during the accelerator burst: IHEP preprint 2012–20. – Protvino, 2012. – p. 21, figs. 8, tables 3, refs.: 8.

The auxiliary controllers of the MISS system and adapter providing interface between these controllers and personal computer are described. The present apparatus is the basis of the data acquisition systems for IHEP experimental set-ups. It provides the buffering of information received from detectors during the accelerator burst. The data transfer from buffering memory to computer is performed in time interval between the accelerator bursts. This data acquisition system allows too much increase the data collection rate.

## Введение

В ИФВЭ разработана и широко используется в экспериментальных физических установках электронная система МИСС [1]. Система включает в себя электронику выработки триггерных решений, электронику для регистрации информации, получаемой от различных детекторов частиц, и аппаратуру для построения систем сбора данных: системные и автономные контроллеры и модули буферной памяти. Протокол сбора данных в системе направлен на достижение максимальной производительности при вычитывании рассеянной информации из блоков регистрирующей электроники. Для снижения «мертвого» времени системы и проведения предварительного отбора информации применялась многоуровневая буферизация полученных данных [2] с соответствующей триггерной логикой. Однако у такой системы сбора данных оставался главный недостаток: передача информации в компьютер происходила во время сброса пучка частиц.

Современная элементная база позволяет создать аппаратуру, способную обеспечить другой алгоритм работы системы сбора данных, а именно: во время сброса пучка ( $t=1-3$ сек) производить накопление экспериментальной информации в быстродействующей оперативной памяти автономных контроллеров, а операции перезаписи на более медленные внешние устройства осуществлять в промежутках между циклами ускорителя ( $T=6-8$  сек). В данной работе представлены структура системы сбора данных и разработанные для такой системы электронные блоки (автономные контроллеры ЛЭ-74, ЛЭ-85, адаптер ЛЭ-75 к промышленной интерфейсной карте PCI-7200 [3]).

## **Система сбора данных с буферизацией информации в течение сброса пучка**

На рис. 1 показан фрагмент структурной схемы системы сбора данных с буферизацией информации, полученной от детекторов частиц за время сброса пучка. Система содержит несколько секторов МИСС, в каждом из которых располагаются блоки регистрации (БР) и специализированный автономный контроллер (АК). Алгоритм работы автономного контроллера определяется типом регистрирующих блоков и направлен на выполнение следующих операций: ожидание завершения преобразования входных сигналов блоками регистрации, опрос блоков регистрации, подавление незначащей информации, кодирование данных в требуемом формате и запись результатов в собственную память. Емкость памяти контроллера определяется информационным потоком для данного типа детектора. В фазе набора информации контроллер управляется следующими сигналами:

-RESET: приведение системы в исходное состояние;

-SPILL: сброс пучка;

-START: пуск контроллера на выполнение заданного алгоритма при наличии сигнала SPILL.

На время выполнения алгоритма контроллер выдает сигнал занятости системы (BUSY) для предотвращения поступления сигнала START. Длительность сигнала BUSY («мертвое» время системы) определяется по формуле

$$T = T_{\text{пр}} + T_{\text{чт}}, \quad (1)$$

где  $T_{\text{пр}}$  – время преобразования входной информации блоками регистрации;

$T_{\text{чт}}$  – время опроса блоков регистрации.

Передача информации из памяти контроллеров на внешний носитель происходит по снятию сигнала SPILL. Очередность передачи определяется приоритетной цепочкой сигналов EI-EO. Канал передачи информации содержит n-разрядную шину данных и шину синхросигналов. Число контроллеров, подключенных к одному каналу, ограничивается физической длиной канала и суммарным объемом информации, накопленной в памяти всех контроллеров. Последнее ограничение вытекает из требования, что эта информация должна быть передана в компьютер до начала следующего цикла ускорителя.

Информация, передаваемая контроллером, состоит из массивов (пакетов), соответствующих зарегистрированным событиям. Каждый пакет имеет заголовок, в котором записывается сопутствующая информация: номер события в текущем цикле ускорителя, число слов в событии, тип детектора, номер контроллера и сведения об ошибках. Основная информация содержит код номера канала и результат преобразования.

### **Автономные контроллеры ЛЭ-74 и ЛЭ-85**

Для реализации вышеописанной системы сбора данных были разработаны два автономных контроллера ЛЭ-74 и ЛЭ-85. Эти контроллеры близки по структуре, их логические узлы реализованы на микросхеме EP1K50 фирмы ALTERA, но имеют следующие отличия (таблица 1).

Таблица 1.

Контроллер	Буферная память	Временная метка события	Триггер T2
ЛЭ-74	2М x 32	нет	нет
ЛЭ-85	8М x 32	есть	есть

Буферная память в контроллере ЛЭ-74 построена на микросхемах SAMSUNG K6T8016C3M (512К x 16), а в ЛЭ-85 – на микросхемах HITACHI HM62V16100I (1М x 16). Контроллер ЛЭ-85 позволяет работать с триггером 2-го уровня, который разрешает или запрещает занесение информации текущего события в буферную память. Для этого ЛЭ-85 имеет дополнительный сигнал управления T2.

В качестве интерфейсной карты, устанавливаемой в персональный компьютер, была выбрана промышленная карта PCI-7200 фирмы ADLINK, предназначенная для 32-разрядного ввода-вывода данных через PCI-шину. Быстродействие карты – до 12 Мбайт/с. Из возможных режимов ввода-вывода удалось реализовать только асинхронный режим.

Структурная схема автономного контроллера дана на рис. 2. Она содержит промежуточную (RAM1) и основную (RAM2) буферные памяти, адресные счетчики записи (WA) и чтения (RA), мультиплексоры адреса (MXA) и данных (MXD) для RAM2, схему

формирования заголовка события (Н), регистр данных для тестирования основной буферной памяти, сопряжение с каналом передачи информации и логику управления и синхронизации (“Control Logic”).

Контроллер может работать как управляющим блоком сектора МИСС, так и подчиненным. Режим работы определяется сигналом «Автономная работа» (АР), который вырабатывается контроллером сектора ЛЭ-51 [4] или ЛЭ-83 [5]. В автономном режиме контроллер управляет работой блоков регистрации сектора МИСС при наборе экспериментальных данных. В режиме ведомого (режим «Адресная передача») проводятся тестовые операции для отдельных узлов контроллера: проверка адресных счетчиков записи-чтения буферной памяти, регистра данных, самой буферной памяти и т.д. Перечень команд, выполняемых контроллером, дан в таблице 2. Код команды содержит номер модуля (М), подадрес (П) и функцию (Ф). Как ведомому блоку, автономному контроллеру задан номер М=63.

Таблица 2.

Команда	Назначение
МП(0)Ф(0)	Чтение 16 младших разрядов 32-разрядного слова, прочитанного из буферной памяти по указанному предварительно в RA адресу
МП(1)Ф(0)	Генерация цикла чтения буферной памяти по указанному в RA адресу и чтение 16 старших разрядов прочитанного слова. После завершения цикла чтения памяти адресный счетчик RA инкрементируется
МП(0)Ф(1)	Чтение 16 младших разрядов адресного счетчика записи WA
МП(1)Ф(1)	Чтение 7 старших разрядов WA
МП(2)Ф(1)	Чтение 16 младших разрядов адресного счетчика чтения RA
МП(3)Ф(1)	Чтение 7 старших разрядов RA
МП(0)Ф(4)	Чтение статуса АК при выполнении теста передачи данных АК-адаптер: младший разряд статусного кода имеет нулевое значение, если АК завершил передачу блока данных
МП(0)Ф(3)	Запись в регистр данных (РД) 16 младших разрядов кода для последующего занесения кода в буферную память

МП(1)Ф(3)	Запись в РД 16 старших разрядов кода и запуск цикла записи кода в буферную память. После выполнения цикла записи происходит инкрементирование адресного счетчика записи
МП(0)Ф(5)	Запись 16 младших разрядов WA
МП(1)Ф(5)	Запись 7 старших разрядов WA и занесение полного адреса в адресный счетчик записи
МП(2)Ф(5)	Запись 16 младших разрядов RA
МП(3)Ф(5)	Запись 7 старших разрядов RA и занесение полного адреса в адресный счетчик чтения
МП(0)Ф(7)	Пуск АК для тестовой передачи информации из буферной памяти в интерфейсную карту ПК. Адрес первого слова массива указан в счетчике RA, а последнего - в WA

Важной тестовой процедурой является проверка правильности передачи на внешний носитель информации, предварительно записанной в буферную память.

В автономном режиме контроллер работает под управлением сигналов, подаваемых на входные разъемы PC00 (LEMO), установленные на передней панели:

«Reset» - инициализация;

«Spill» - сброс пучка;

«Start» - начало события;

«T2» - разрешение на перезапись информации события из памяти RAM1 в память RAM2 (для ЛЭ-85);

«Ei» - разрешение передачи информации из памяти RAM2 на внешний накопитель.

АК формирует следующие выходные сигналы:

«Eo» - разрешение передачи информации для следующего контроллера;

Импульсный сигнал «Time out» - нарушение протокола чтения блоков регистрации;

«Ovf» - переполнение буферной памяти;

«Busy» - блокировка прихода нового сигнала «Start» на время обработки текущего события.

По сигналу «Reset» происходит инициализация системы. Этот сигнал устанавливает контроллер в исходное состояние и, будучи направлен в магистраль сектора, обеспечивает исходное состояние блоков регистрации.

Временная диаграмма работы контроллера с блоками регистрации приведена на рис. 3. После получения сигнала «Start» в фазе сброса пучка (сигнал «Spill» активен) контроллер запускает процедуру опроса (ПЧИ) либо через фиксированное время, запрограммированное в микросхеме EP1K50, либо по отрицательному фронту сигнала Гт магистрали сектора МИСС. Если в ответ на сигнал ПЧИ блоками регистрации не вырабатывается запрос на чтение (Tr) в течение ~500 нсек, режим ПЧИ завершается. В системе МИСС возможны два варианта ПЧИ: асинхронный и синхронный [5]. Временная диаграмма работы контроллера в асинхронном режиме показана на рис. 4а. При наличии значащей информации в блоках регистрации (сигнал требования передачи Tr активен) выполняется последовательный опрос блоков регистрации по асинхронному протоколу (сигналы СИ1-СИ2) и запись принимаемой информации в промежуточную буферную память RAM1. Последовательность опроса обеспечивается сигналами Вх.П1-Вых.П1 канала МИСС. В синхронном режиме (рис. 4б) после получения сигнала наличия значащей информации (Tr) контроллер вырабатывает сигнал СИ1. Этот сигнал имеет активное состояние в течении длительности ПЧИ и может сниматься лишь на время неспособности контроллера принимать данные (например, по причине занятости приемного буфера). Для начала передачи данных регистрирующий модуль должен получить разрешающий сигнал Вх.П1. Получивший право на передачу информации модуль выдает в магистраль сектора 28-разрядные слова, сопровождая их импульсами СИ2. Период следования сигнала СИ2 и информации определяется регистрирующим модулем ( $t \sim 100$  нсек). После передачи всей информации регистрирующий блок снимает сигнал Tr и формирует сигнал Вых.П1, разрешающий работу следующему модулю. Сигнал Tr снимается одновременно со снятием последнего СИ2.

На время преобразования и опроса блоков контроллер вырабатывает сигнал «Busy». Длительность этого сигнала определяется временем преобразования и скоростью опроса блоков регистрации. Время преобразования регистрирующих блоков составляет 2-10 мкс. Получение информации от блоков регистрации в асинхронном режиме ПЧИ выполняется с периодом, равным 250-300 нс, а в синхронном – 100 нс.

При наличии в каркасе МИСС 1000 каналов регистрации, из которых имеют значащую информацию 10%, получаем время опроса 30 мкс для асинхронного ПЧИ и 10 мкс – для синхронного. Соответственно, длительность сигнала «Busy» будет составлять 32-40 мкс и 12-20 мкс (см. формулу 1.)

После опроса последнего блока регистрации контроллер завершит режим ПЧИ и начнет передачу заголовка события информации в память RAM2. При отсутствии значащей информации в RAM2 записывается только заголовок события. Передача информации из промежуточной памяти в основную выполняется после завершения режима ПЧИ и совмещается по времени с циклом преобразования следующего события. Однако опрос блоков регистрации нового события начнется при условии освобождения промежуточной памяти. Для ЛЭ-85 при использовании триггера 2-го уровня передача информации из промежуточной памяти в основную начинается по сигналу T2. Если к приходу следующего сигнала «Start» не был получен T2, то информация прошлого события теряется.

Передача информации из основной буферной памяти контроллера в компьютер начинается по окончании сигнала фазы сброса ускорителя (снятия сигнала «Spill») и обработки информации последнего события (рис. 5). Сигнал RQ активен, если хотя бы один контроллер требует передачи. Получивший разрешение контроллер выполняет асинхронную передачу информации в компьютер. Синхронизация передачи слова обеспечивается сигналами RDY-ACK. Передав всю информацию, контроллер снимает свой RQ и дает разрешение следующему контроллеру сигналом «Eo».

Структура информационного пакета события дана на рис. 6. Пакет начинается заголовком (рис. 6а), состоящим из трех (для ЛЭ-74) или четырех (для ЛЭ-85) 32-разрядных слов. Первое слово – разделитель блоков, второе слово - номер события, к которому относится массив, третье слово – 30-разрядный код временной метки данного события (для ЛЭ-85). Младший разряд этого кода соответствует 100 нс. Последнее слово содержит информацию о размере пакета, типе детектора, номере контроллера в системе сбора данных и о наличии возможных ошибок, возникших при опросе блоков регистрации. В системе возможны нештатные ситуации, при которых контроллер завершает опрос и формирует блок, состоящий из того числа информационных слов, какое было принято от блоков регистрации. При этом во втором слове заголовка будут

установлены в единичное состояние соответствующие разряды поля «Ошибка». К нестандартным относятся следующие ситуации:

- контроллер не получил сигнал СИ2 от модуля в течение заданного времени при наличии информации (сигнал Тр активен). В этой ситуации АК сформирует блок с принятыми данными и установит 11-й разряд второго служебного слова в единичное состояние;

- при опросе контроллер получил от блоков регистрации число слов, превышающее допустимое. Контроллер запишет в блок все принятые слова и установит в единичное значение 12-й разряд во втором служебном слове.

Далее следует набор информационных слов, принятых от регистрирующих модулей. Как правило, АК получает при чтении регистрирующего модуля 28-разрядное слово, старшие 12 разрядов которого содержат адрес канала (номер модуля и номер канала), а младшие разряды – результат преобразования. В информационном блоке эти слова идут в порядке, соответствующем порядку опроса модулей (рис. 6б).

Для регистрирующей электроники, в которой адрес канала и информация упаковываются в 16-разрядное слово, информационная часть пакета имеет другой формат (рис. 6в): первое прочитанное слово записывается в младшие разряды, второе – в старшие и т.д. При нечетном числе слов неиспользованные старшие разряды содержат нули.

Выходные сигналы «Time out» и «Ovf» предназначены для контроля работы системы данных.

Заметим, что представленные контроллеры могут использоваться с любой регистрирующей электроникой МИСС, которая не требует какой-либо аппаратной обработки получаемой от блоков регистрации информации.

### **Адаптер парафазного кабельного канала МИСС для передачи информации от контроллеров ЛЭ-74 и ЛЭ-85 в персональный компьютер**

Адаптер (блок ЛЭ-75) предназначен для сопряжения парафазного канала автономного контроллера МИСС с однофазным каналом интерфейсной карты PCI7200 при сборе данных непосредственно в персональный компьютер (ПК). Кроме этого

модуль ЛЭ-75 обеспечивает передачу информации из парафазного канала МИСС в любой компьютер через канал каркаса системы СУММА [6]. Такой режим может быть применен в методических стендах или на автоматизированных рабочих местах разработчиков электронной аппаратуры.

Структурная схема адаптера дана на рис. 7. Канал «АК – Адаптер» содержит 35 сигналов: АК\_D00 – 31 (32 информационных разряда), АК\_RDY и АК\_ACK – сигналы выполнения асинхронного протокола передачи, сигнал требования передачи массива данных АК\_RQ. К каналу «АК – Адаптер» можно подключать несколько автономных контроллеров. Порядок передачи информации обеспечивается сигналом «Enable», распространяемым по приоритетной цепочке.

Возможны следующие режимы работы модуля ЛЭ-75 (выбор режима осуществляется переключателями T1 (PCI7200/СУММА) и T2 (Работа/Тест)):

- режим «PCI7200 –Работа». В этом режиме в качестве активного устройства выступает автономный контроллер, имеющий право выхода на канал «АК – Адаптер». Начало передачи инициируется активным состоянием сигнала АК\_RQ и выдачей первого слова, сопровождаемого сигналом АК\_RDY. Сигнал АК\_RDY вырабатывается контроллерами по заднему фронту сигнала “Spill”. После передачи всей информации управление передается следующему контроллеру. Снятие сигнала АК\_RQ в канале произойдет, когда все контроллеры выполнят передачу информации. Информация из автономных контроллеров поступает в ПК через карту PCI7200;

- режим «PCI7200-Тест». В этом режиме происходит передача информации из внутренней памяти адаптера в компьютер. Емкость памяти – 1К 32-разрядных слова. Занесение информации во внутреннюю память выполняется по командам канала каркаса СУММА. Перечень команд канала каркаса дан в таблице 3. Для записи 32-разрядного кода в память требуется последовательно занести старшие и младшие разряды кода во входной регистр данных ОЗУ. Цикл записи в память выполняется после занесения младших разрядов. По окончании цикла адресный счетчик записи WA автоматически инкрементируется. Правильность занесения информации в память проверяется командами чтения. Содержимое текущего адреса находится в выходном регистре данных. Сначала требуется прочитать 16 старших разрядов кода, затем – 16 младших. По завершении чтения младших разрядов автоматически выполняется инкрементиро-

вание адресного счетчика RA и вывод нового кода данных в выходной регистр. Процесс передачи массива данных из памяти в ПК начинается по команде NA(0)F(25). Адресные счетчики WA и RA доступны для записи и чтения по командам канала каркаса;

- режим «СУММА-Работа». Информация поступает в компьютер через канал каркаса СУММА. Алгоритм работы с адаптером показан на рис. 8. Передача данных начинается после установления сигнала АК\_RQ. Появление этого сигнала обнаруживается получением отклика Q в ответ на команду NA(0)F(8). После обнаружения сигнала АК\_RQ командой NA(0)F(0) проверяется наличие информации во входном регистре. Если Q=1, то регистр содержит информацию. Прочитанный с линий чтения R1-R16 код представляет старшие разряды слова данных (D31 – D16). Затем по команде NA(1)F(0) считываются младшие разряды (D15 – D0) записанного в регистре слова. Строб-сигнал АК\_RDY устанавливает триггер QF(0) и, следовательно, формируется сигнал АК\_ACK, что приведет к снятию АК\_RDY. В заключительной фазе команды чтения младших разрядов кода (NA(1)F(0)S2) АК\_ACK снимается, и автономный контроллер начнет передачу очередного слова. Получение Q=0 на команду NA(0)F(0) при наличии сигнала АК\_RQ указывает на неисправность работы системы. Если в ответ на команду NA(0)F(0) получен Q=0 и затем не получен Q на команду NA(0)F(8), то передача информации завершена;

- режим «СУММА-Тест». Этот режим применяется при настройке системы. В этом случае сигнал АК\_ACK повторяет сигнал АК\_RDY с задержкой 200 нсек. Никакие команды по каналу каркаса СУММА выдавать не требуется.

Таблица 3.

Команда	Назначение
Z	Инициализация блока
NA(0)F(8)	Проверка наличия сигнала АК_RQ. X=1. Q=1, если АК_RQ имеет активное состояние
NA(0)F(0)	Чтение 16 старших разрядов приемного регистра. X=1. Q=1, если регистр содержит непрочитанную информацию. При Q=0 прочитанный код игнорируется.

NA(1)F(0)	Чтение 16 младших разрядов приемного регистра. X=1. Q=1. По импульсу S2 триггер QF(0) сбрасывается. Команда выдается только после «успешного» чтения старших разрядов
NA(0)F(1)	Чтение 16 старших разрядов входного регистра данных ОЗУ, X=1. Q=1.
NA(1)F(1)	Чтение 16 младших разрядов входного регистра данных ОЗУ, X=1. Q=1.
NA(2)F(1)	Чтение адресного регистра записи WA, X=1. Q=1
NA(3)F(1)	Чтение адресного регистра чтения RA, X=1. Q=1.
NA(4)F(1)	Чтение 16 старших разрядов выходного регистра данных ОЗУ, X=1. Q=1
NA(5)F(1)	Чтение 16 младших разрядов выходного регистра данных ОЗУ и запуск цикла чтения следующего слова памяти, X=1. Q=1
NA(6)F(1)	Чтение статусного слова: R1 – положение переключателя PCI7200/СУММА: R1=1 – PCI7200, R1=0 – СУММА; R2 – положение переключателя Работа/Тест: R2=0 – Работа, R2=1 – Тест; R3 – состояние (Busy) после запуска процедуры передачи массива по команде NA(0)F(25): R3=1 – занят передачей массива; R3=0 – передача закончена
NA(0)F(17)	Запись 16 старших разрядов во входной регистр ОЗУ, X=1. Q=1
NA(1)F(17)	Запись 16 младших разрядов во входной регистр ОЗУ, запуск цикла записи ОЗУ по адресу WA с последующим наращиванием WA, X=1. Q=1
NA(2)F(17)	Запись в регистр WA по линиям W1 - W10, X=1. Q=1
NA(3)F(17)	Запись в регистр RA по линиям W1 - W10, X=1. Q=1
NA(0)F(25)	Запуск процедуры передачи информации из ОЗУ в PCI7200. Передается массив данных из адресов RA=0 по RA=WA-1 включительно. X=1. Q=1

## Тестирование системы сбора данных

Заложенные аппаратные возможности в представленных адаптере и автономных контроллерах позволяют проводить тестирование системы сбора данных, как в целом, так и ее отдельных элементов.

С помощью модуля ЛЭ-75 (без подключения автономного контроллера) проверяется правильность передачи информации по каналу ЛЭ-75—РСІ7200. На следующем шаге тестирования к адаптеру подключается каркас системы МИСС с контроллером сектора и автономным контроллером. Автономный контроллер работает как ведомое устройство. По командам магистрали МИСС компьютер записывает в основную память автономного контроллера заданную информацию и запускает процедуру ее передачи по каналу АК—ЛЭ-75—РСІ7200. Наконец, на последнем шаге тестирования проверяется работоспособность всей системы в боевом режиме. В качестве блока регистрации используется разработанный тестовый модуль ЛЭ-29. Модуль содержит память емкостью 64 16-разрядных слова. Запись в память происходит по командам МП(0-63)Ф(3). В режиме ПЧИ ЛЭ-29 выдает в магистраль МИСС коды номера модуля, адрес памяти и данные, записанные по этому адресу. Тестирование выполняется в следующем порядке:

- сектор МИСС устанавливается в режим адресной передачи;
- по командам магистрали МИСС в модуль ЛЭ-29 записывается заданное число слов (1-64);
- сектор МИСС переводится в режим «Автономная работа»;
- на автономный контроллер подаются сигналы управления («Spill, требуемое число сигналов «Start»).

Каждый сигнал «Start» запускает процедуру чтения ЛЭ-29 и запись полученной информации в основной буфер автономного контроллера. После снятия сигнала «Spill» содержимое буфера будет передано в компьютер по каналу АК—ЛЭ-75—РСІ7200. При обнаружении ошибки в полученных данных можно локализовать источник неисправности. Для этого необходимо вернуть сектор МИСС в режим адресной передачи, обнулить адресный счетчик чтения автономного контроллера, командами магистрали МИСС прочитать содержимое буфера и проверить эту информацию на достоверность.

## **Заключение**

Рассмотренная аппаратура позволяет строить системы сбора данных, в которых все функции по приему информации от детекторов в собственную буферную память в реальном масштабе времени осуществляются автономно. Перезапись накопленной информации на внешние накопители происходит в промежутках между сбросами ускорителя. Такой принцип позволяет достичь скорости приема информации, которая ограничивается только быстродействием элементной базы аппаратуры. В тестовых измерениях на установке ГИПЕРОН-М [7,8] достигнута скорость приема экспериментальных данных до 9 Мбайт/сек. Подобный принцип построения системы сбора данных реализован и на других физических установках ИФВЭ, а именно, ОКА, ФОДС, МИС-ИТЭФ.

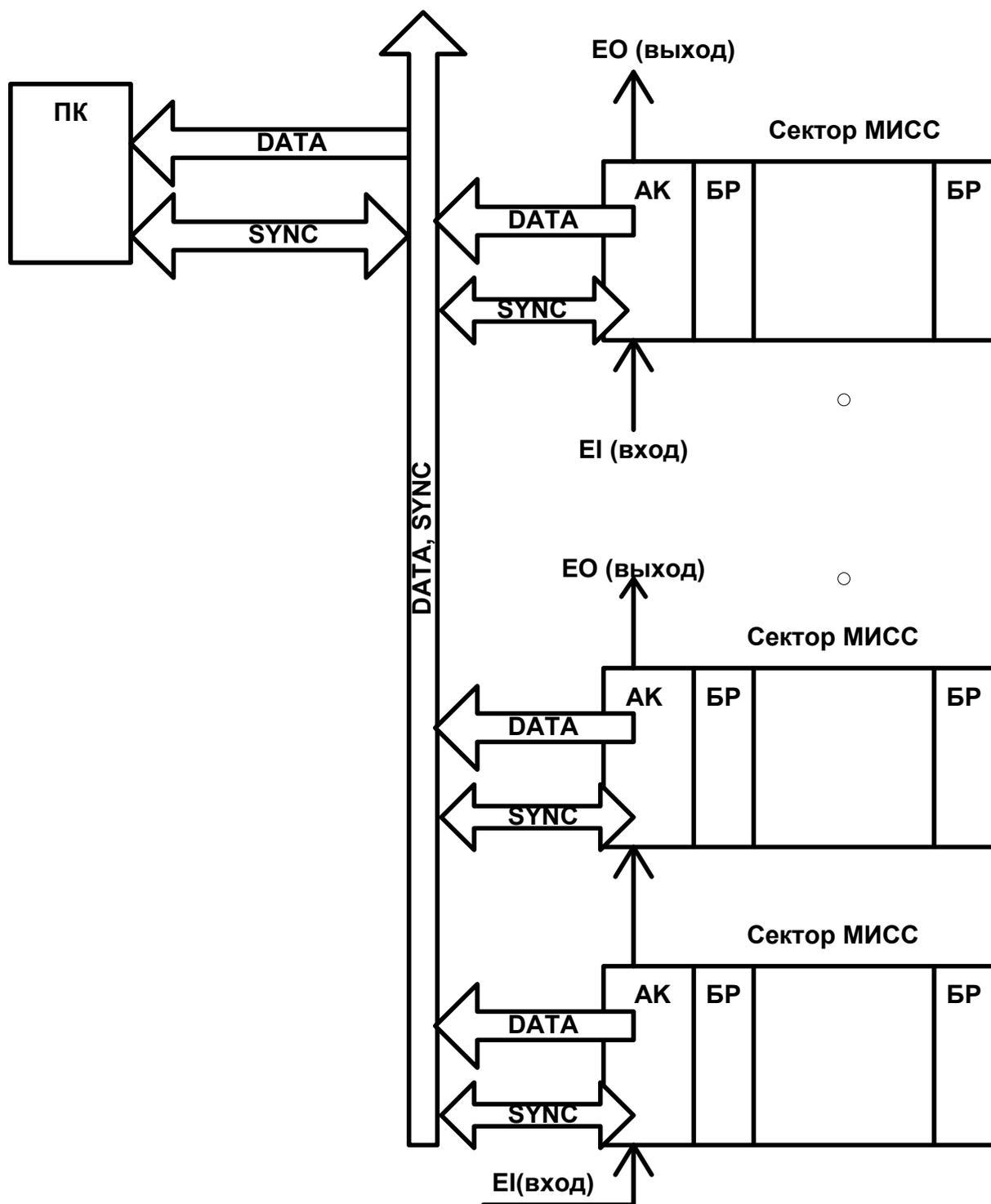


Рис. 1. Структурная схема системы сбора данных.

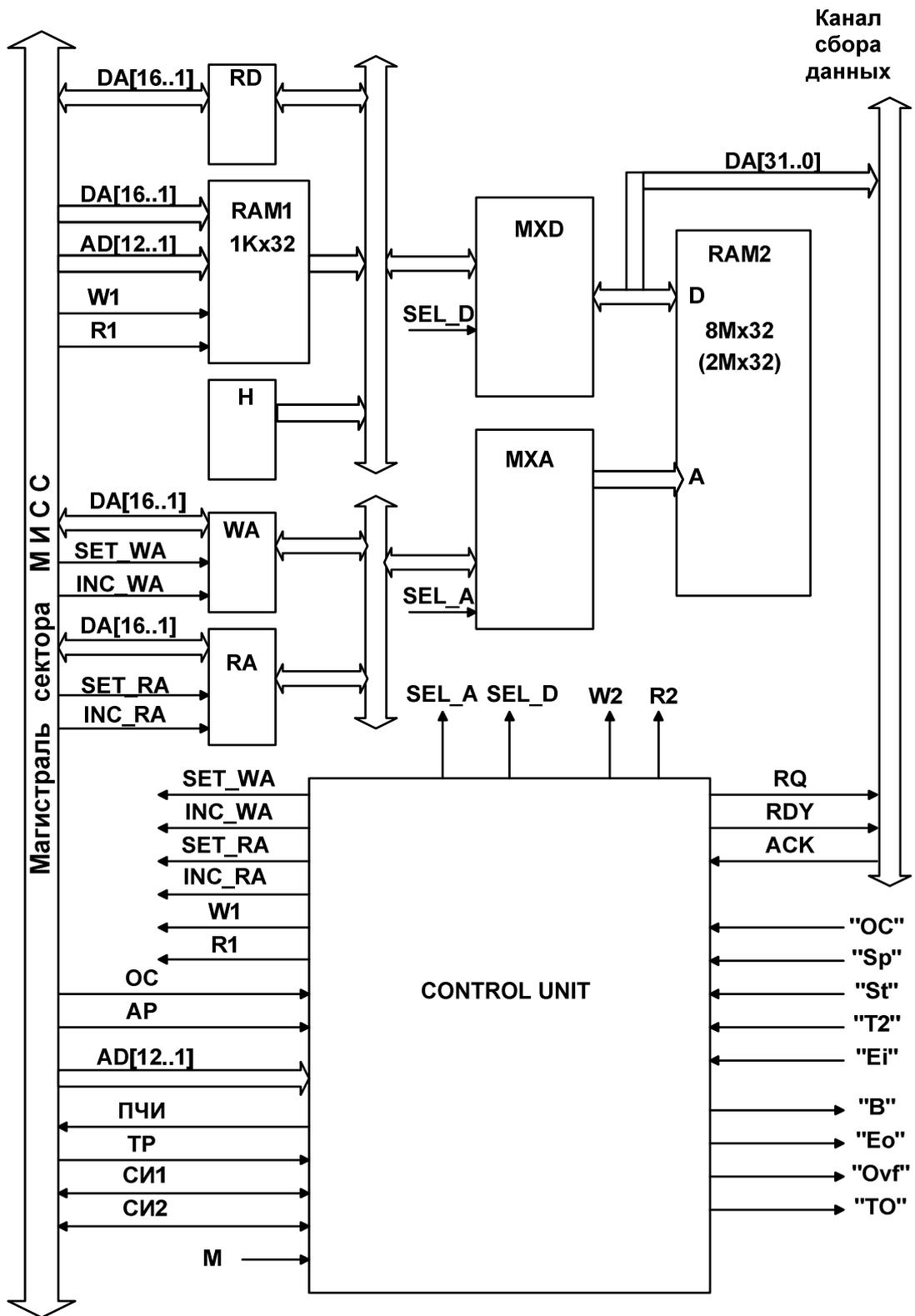


Рис. 2. Структурная схема автономного контроллера.

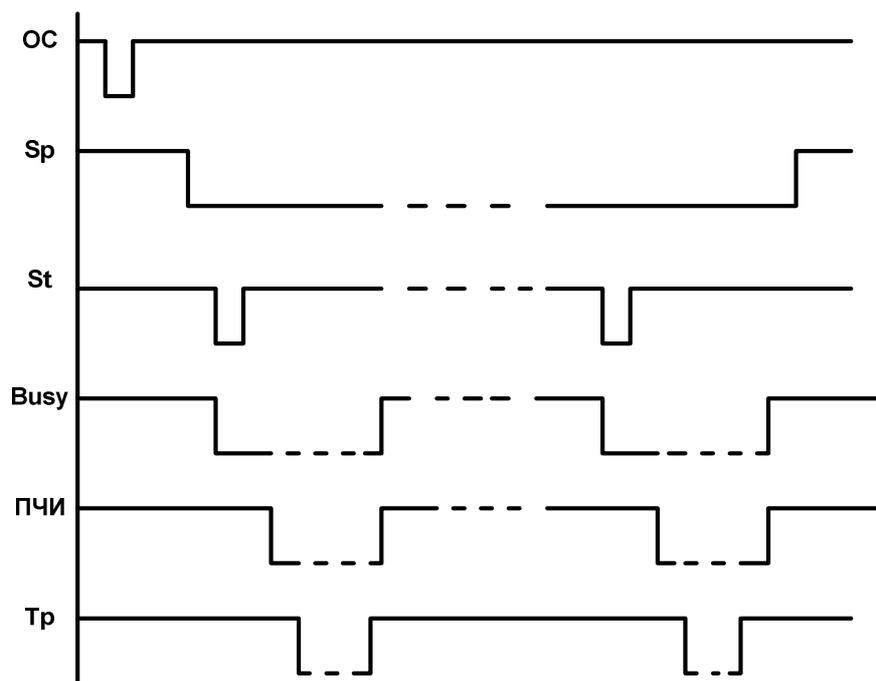
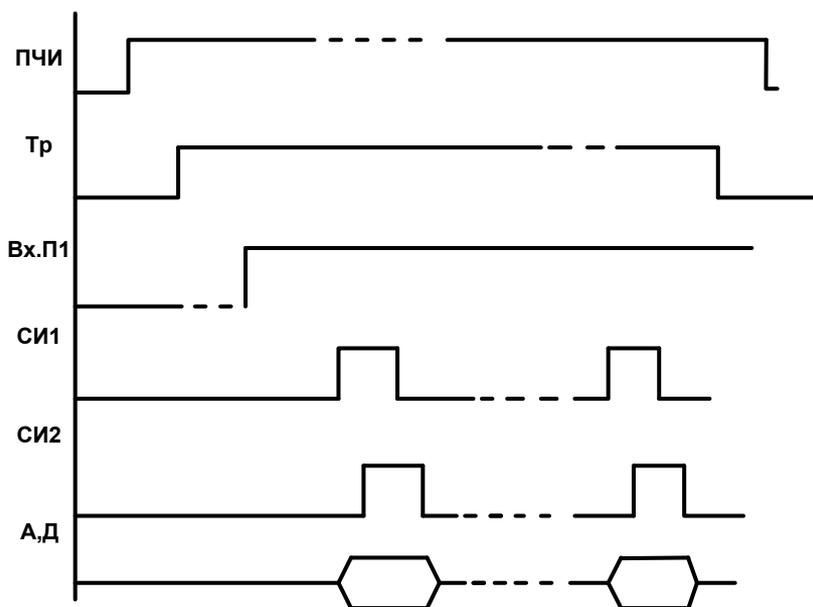
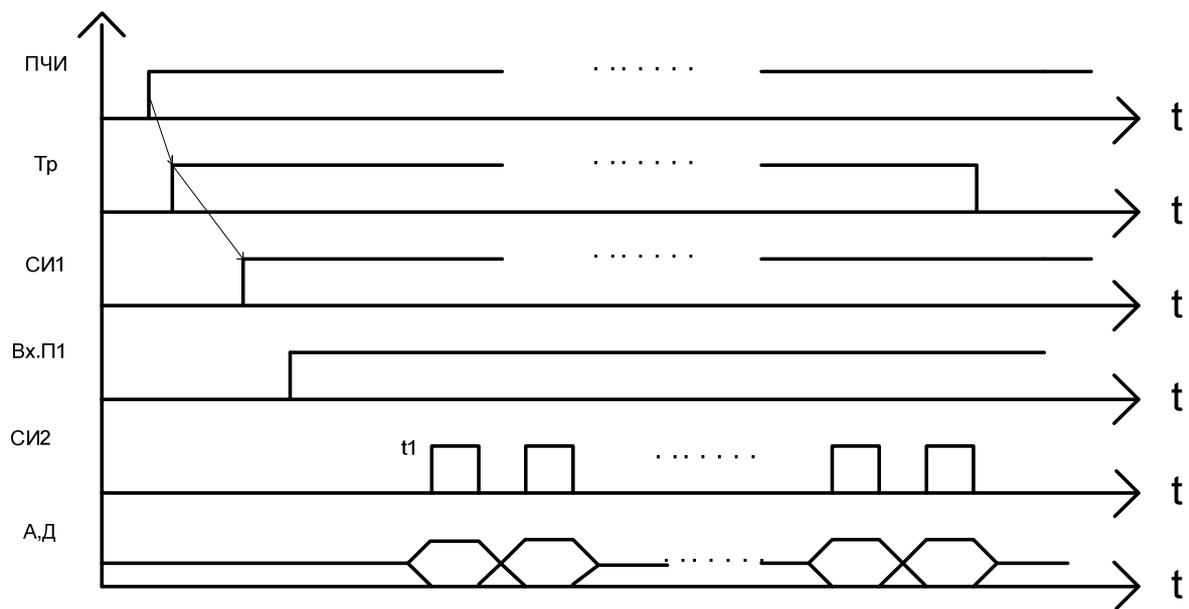


Рис. 3. Временная диаграмма работы контроллера с регистрирующей электроникой.



а) асинхронное ПЧИ



б) синхронное ПЧИ

Рис. 4. Временная диаграмма режимов ПЧИ.

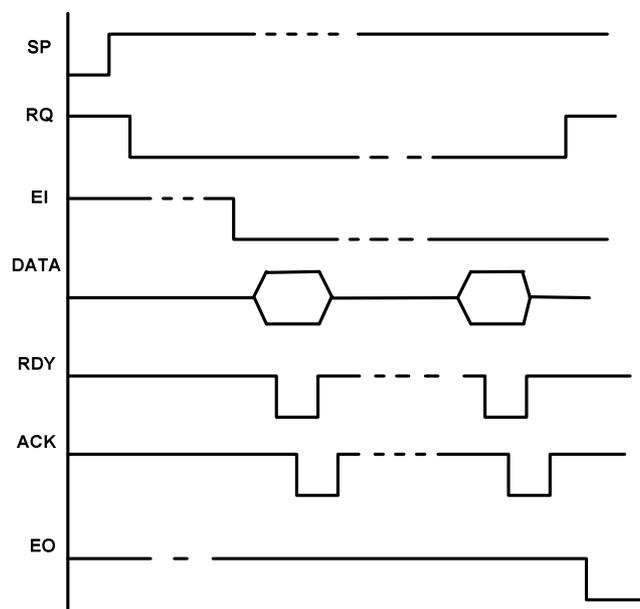


Рис. 5. Временная диаграмма передачи информации из автономного контроллера в компьютер.

№	31	Назначение разрядов				0
1	0xFFFFFFFF (Разделитель)					
2	Номер события					
2a	Временная метка события (для ЛЭ-85)					
3	31 - 22 0	21 - 19 № детектора	18 - 14 № контроллера	12 - 11 Ошибка	10 - 0 Размер блока	

а) Заголовок события

№	31	28	27	16	15	0
4	0	Адрес канала			Данные	
5	0	Адрес канала			Данные	
⋮						
L	0	Адрес канала			Данные	

б) 32-разрядный формат информационного слова

№	31	16	15	0	
4	Адрес+Данные (цикл 2)			Адрес+Данные (цикл 1)	
5	Адрес+Данные (цикл 4)			Адрес+Данные (цикл 3)	
⋮					
L	Адрес+Данные (цикл 2к) или 0x0000			Адрес+Данные (цикл 2к-1)	

в) 16-разрядный формат информационного слова

Рис. 6. Структура информационного пакета события.

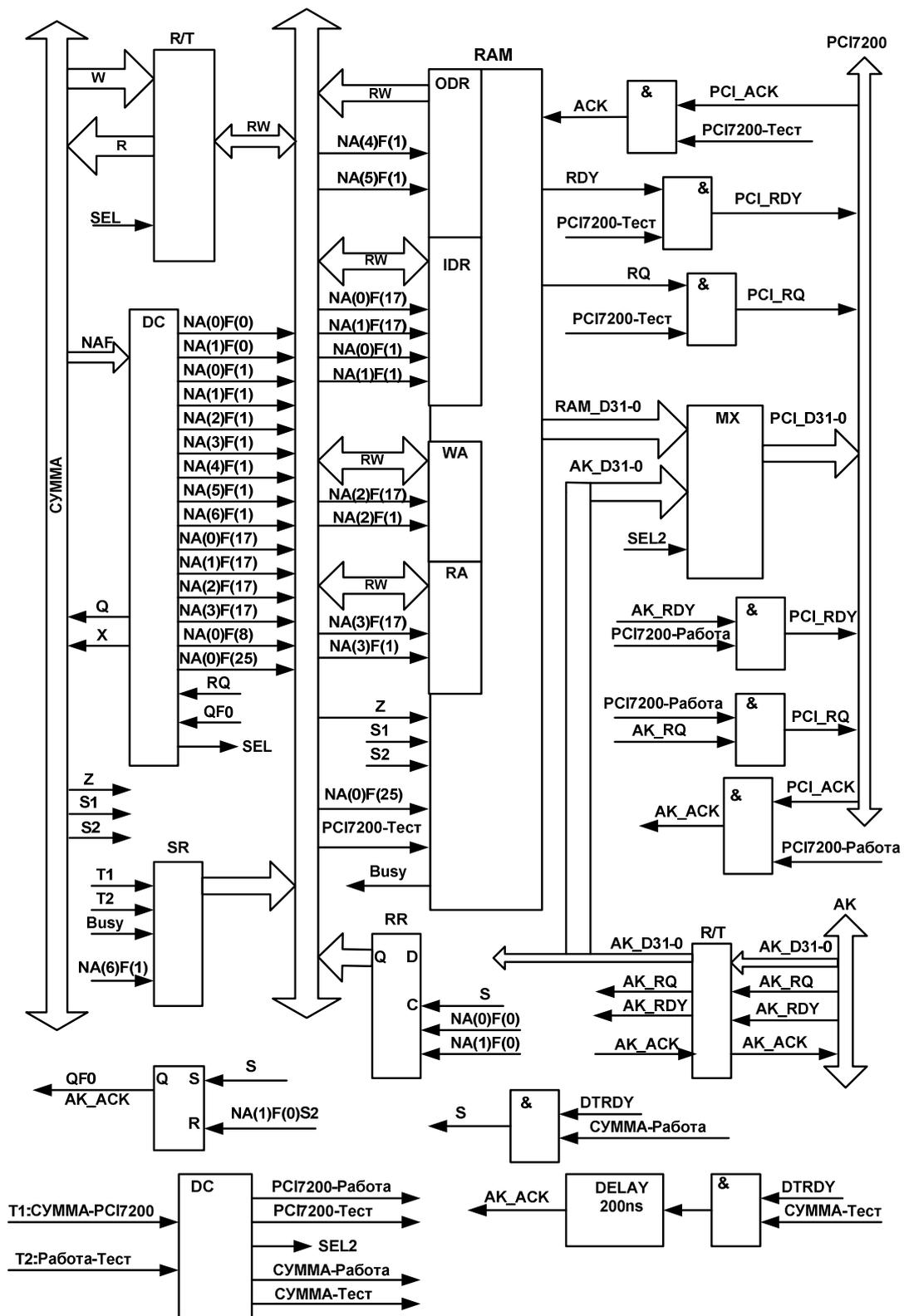


Рис. 7. Структурная схема модуля ЛЭ-75.



Рис. 8. Алгоритм опроса автономного контроллера через систему СУММА.

## Список литературы

- [1] Бушнин Ю.Б., Ваньев В.С., Гончаров П.И. и др. – Препринт ИФВЭ 88-47, Серпухов, 1988.
- [2] Исаев А.Н. , Сенько В.А., Якимчук. – Препринт ИФВЭ 99-31, Протвино, 1999.
- [3] <http://www.adlinktech.com>;  
PCI-7200/cPCI-7200 12Mb/s High Speed Digital Input/Output Card, Adlink Technology Inc., Manual Rev. 2.11, December 16, 1999.
- [4] Сенько В.А., Якимчук В.И. – Препринт ИФВЭ 95-105, Протвино, 1999.
- [5] Петров В.С., Якимчук В.И. – Препринт ИФВЭ 2011-21, Протвино, 2011.
- [6] Алферова О.И., Бушнин Ю.Б., Денисенко А.А. и др. – Препринт ИФВЭ 74-122, Серпухов, 1974.
- [7] Боголюбский М.Ю., Викторов В.А., Петров В.С. и др. – Препринт ИФВЭ 2005-7, Протвино, 2005.
- [8] Боголюбский М.Ю., Викторов В.А., Онучин В.А. и др. – Препринт ИФВЭ 2006-22, Протвино, 2006.

*Рукопись поступила 15 октября 2012 г.*

В.А. Сенько, М.М. Солдатов, В.И. Якимчук

Аппаратура для создания систем сбора данных экспериментальных установок ИФВЭ с буферизацией информации, принимаемой за цикл ускорителя.

Препринт отпечатан с оригинала-макета, подготовленного авторами.

---

Подписано к печати 25.10.2012	Формат 60 × 84/16.	Цифровая печать.
Печ.л. 1,5. Уч.– изд.л. 2,2.	Тираж 80. Заказ 54.	Индекс 3649.

---

ФГБУ ГНЦ ИФВЭ  
142281, Протвино Московской обл.

Индекс 3649

---

ПРЕПРИНТ 2012–20, ИФВЭ, 2012

---