



НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ ЦЕНТР
«КУРЧАТОВСКИЙ ИНСТИТУТ»

Институт физики высоких энергий имени А.А. Логунова
Национального исследовательского центра
«Курчатовский институт»

Препринт 2024-1

А.В. Ивашин, В.Д. Матвеев, Ю.А. Хохлов¹

Электронный модуль обработки цифровых логических
сигналов TDC-96MWC
и его использование на установке ВЕС

¹ также МФТИ, ФИЗТЕХ

Аннотация

А.В. Ивашин, В.Д. Матвеев, Ю.А. Хохлов. Электронный модуль обработки цифровых логических сигналов TDC-96MWC и его использование на установке ВЕС: Препринт НИЦ «Курчатовский институт» – ИФВЭ 2024-1. – Протвино, 2024. – 45 с., 11 рис., 4 табл.

В работе представлен модуль обработки цифровых логических сигналов с детекторов частиц для экспериментов на циклических ускорителях. Модуль используется на установке ВЕС в двух качествах: как 96-канальный время-цифровой преобразователь для трековых детекторов и в составном модуле MPDP-44, являющемся основным в триггерной системе установки.

Abstract

A. Ivashin, Yu. Khokhlov, V. Matveev. Electronic module TDC-96MWC for processing of logic signals and its usage at the VES setup: NRC «Kurchatov Institute» – IHEP Preprint 2024-1. – Protvino, 2024. – p. 45, figs. 11, tables 4.

A module for the processing of logic signals from particle detectors at cycling accelerators is presented. The module is used in the VES setup in two ways: as a 96-channel time-to-digital converter and as part of an MPDP-44 composite module which is central to a trigger system.

1. Введение

Установка ВЕС на ускорительном комплексе У-70 (г. Протвино) представляет собой широкоапертурный магнитный спектрометр с электромагнитной калориметрией и идентификацией вторичных заряженных частиц. Представленный в работе электронный модуль TDC-96MWC был разработан с целью модернизации регистрирующей электроники многопроволочных пропорциональных камер (ПК) в составе ВЕС. Развита архитектура и широкие возможности программирования позволили также использовать его как основной узел в новой триггерной системе (ТС) установки.

Построение и конфигурирование модуля в обоих применениях во многом определяется цикличностью работы У-70 и принципами построения системы сбора данных (ССД) ВЕС ([1], [2]). Типичная длительность цикла составляет 9 с. Из них вывод пучка на установку (эта стадия цикла, а также связанный с ней массив данных, далее называются «сброс») длится от 0.5 до 2.5 с в зависимости от режимов У-70 и работы других потребителей пучка. Несколько заранее нужно сформировать сигнал BS (*begin spill*), а через некоторое время после окончания – ES (*end spill*). Время от BS до ES занимает сигнал GATE. В течение GATE ТС готова к выработке триггеров и их выдаче в виде сигналов START в ССД, а последняя – к приему триггеров, сбору данных и их накоплению. По сигналу ES стартует передача данных, накопленных за сброс, из ССД в компьютер, а также при необходимости – выполнение служебных задач аппаратуры ССД (загрузка прошивок, конфигурирование и пр.).

Структура работы следующая: в разделе 2 описана архитектура модуля. В двух следующих разделах представлены реализованные на нем проекты: 96-канальный время-цифровой преобразователь (ВЦП) для ПК и модуль триггерной системы установки. После Заключения следует обширное Приложение с техническими деталями модуля в двух применениях.

2. Архитектура модуля TDC-96MWC

Модуль TDC-96MWC выполнен на 6-слойной печатной плате размером 190×110 мм². По архитектуре он концептуально похож на описанный в [2] модуль ADC-32ATC¹ установки ВЕС. Там же представлены сигналы и некоторые другие общие для двух типов модулей детали. Микроконтроллерный узел повторяет ADC-32ATC, за исключением использования другой загрузочной флэш-памяти удвоенного объема; установлена программируемая логическая интегральная схема (ПЛИС) того же семейства Cyclone III; имеется практически полная совместимость с ADC-32ATC по программному обеспечению (ПО) для микроконтроллера и протоколам взаимодействия с ПЛИС на физическом уровне.

Стоимость модуля при изготовлении от 50 штук (комплектация, печатные платы, автоматизированный монтаж) составляла в 2020 году около 330\$, т.е. около 3.4\$ на канал при использовании в качестве 96-канального ВЦП.

Внешний вид модуля представлен на рис. 1. Модуль содержит:

1. узел микроконтроллера (МК), включающий микропроцессор MPC8308, интегральные схемы (ИС) памяти SDRAM DDR2 на 256 МБ с поддержкой режима ECC (error-correcting code – код, исправляющий ошибки; не тестировался) и средства загрузки;

2. ПЛИС и ее память SDRAM DDR2 на 128 МБ;

3. интерфейс ПЛИС с МК;

4. соединители и интерфейсы для связи с внешними устройствами – детекторами, компьютером ССД и триггерной системой, внешним источником питания (ИП);

5. встроенные ИП.

Модуль может обрабатывать до 96 однофазных двунаправленных внешних сигналов в стандартах LVCMOS/LVTTL или в стандартах с опорным уровнем HSTL/SSTL, или до 48 дифференциальных внешних входных сигналов LVDS с возможностью напайки согласующих резисторов 100 Ом. Для этого выводы ПЛИС выведены напрямую (с дополнительной внешней диодной защитой) на 150-контактный соединитель DIN41612. Питание VCCIO на соответствующих банках ПЛИС задаётся резисторной переключкой и может быть сконфигурировано пользователем из ряда 1.2, 1.8, 2.5, 3.3 В. Соединитель DIN имеет также большое количество контактов «земли», выходы питания VCCIO, +3.3 В, +12 В (может использоваться и как вход, если питание не подано через другой соединитель), выход VREF для HSTL/SSTL (половина VCCIO), 11 двунаправленных сигналов общего назначения МК (GPIO) в уровнях LVCMOS 3.3 В, дополнительный управляющий двунаправленный сигнал от ПЛИС в уровнях LVCMOS/LVTTL 3.3 В.

Модуль использует внешнее питание одного номинала +12 В, подаваемое через любой из трех соединителей: отдельное гнездо под штекер, выделенные контакты DIN, соединитель USB3 типа B с комбинацией функций (см. далее). Входная цепь

¹В [2] во временных диаграммах каналов управления и данных МК–ПЛИС допущена ошибка: тактовый сигнал LCLK должен быть инвертирован.

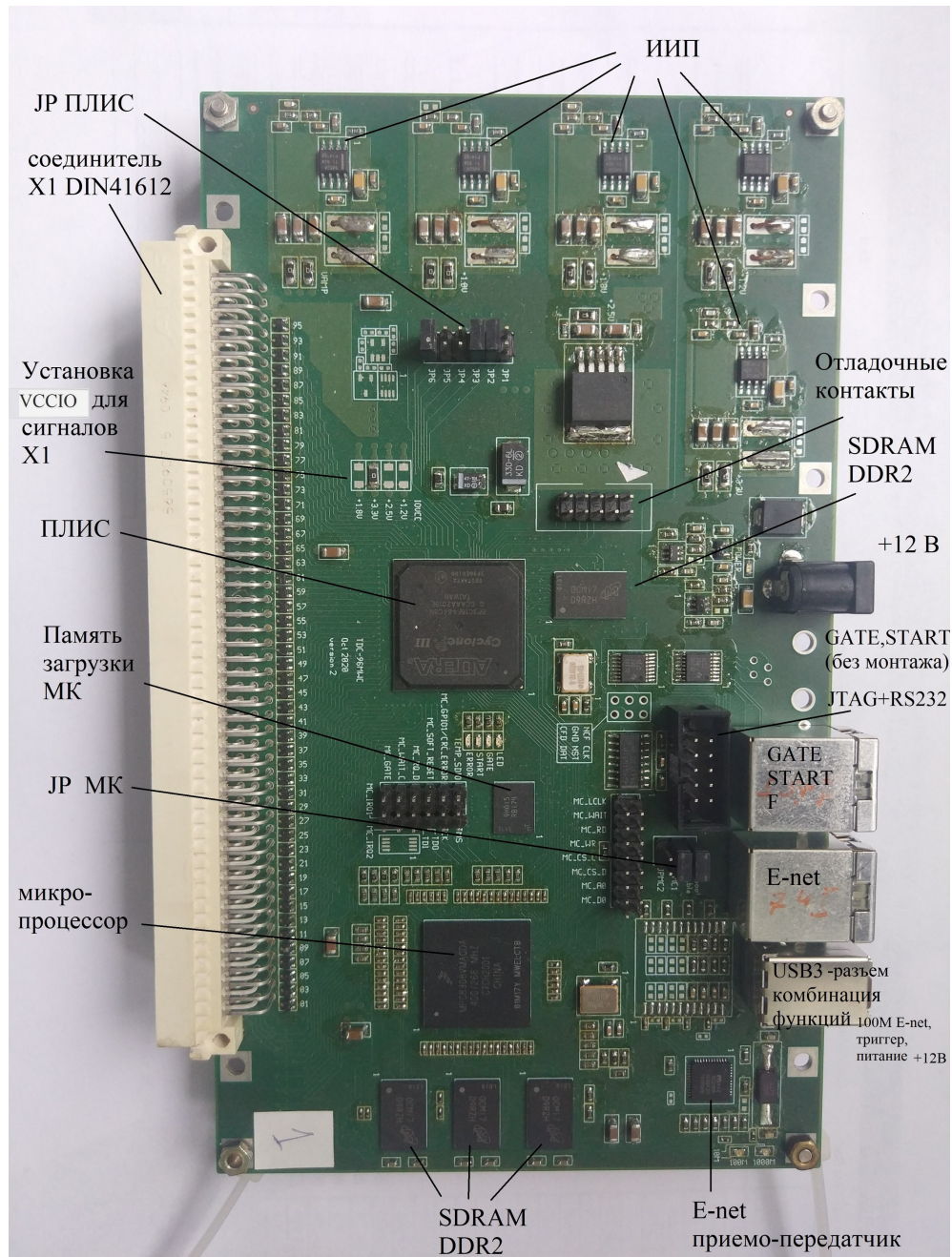


Рис. 1. Модуль TDC-96MWC. JP обозначает съёмную перемычку.

питания имеет диодную защиту от переплюсовки. Типичный собственный ток потребления платы составляет 0.25 А.

Питание нескольких номиналов, необходимых для работы модуля и, при необходимости, сопрягаемой с ним аппаратуры, вырабатывается пятью импульсными ИП (ИИП). Для работы в сильном постоянном магнитном поле в схемах ИИП вместо силовых индуктивностей заводского изготовления с ферритовым сердечником под поверхностный монтаж устанавливаются индуктивности собственного изготовления с немагнитным сердечником. Индуктивности имеют тороидальную однослойную намотку из эмалированного медного провода диаметром от 0.5 до 0.7 мм, габаритные размеры — диаметр 20 мм, толщина 10 мм, диапазон индуктивностей от 1.3 до 2.8 мкГн. Из-за недостатка места эти индуктивности монтируются с обратной стороны платы. Протестирована работоспособность модуля в магнитном поле вплоть до 1 Тл.

Сигналы GATE и START в уровнях LVDS могут подаваться тремя способами: через соединитель 8P8C совместимо с модулем ADC-32ATC (включая зарезервированный вход тактовой частоты), через соединитель 6P4C, совместимый с модулями ВЦП более ранней разработки TDC-32MWC и TDC-48DT [3], или через соединитель USB3 типа B в виде композитного сигнала GATE+START (см. также раздел 3).

При работе через соединитель USB3 применяется специально разработанный модуль TNPD-24 (Trigger, Network, Power Distributor), на который подаются сигналы GATE и START в уровнях NIM и питание от источника +12 В. Модуль TNPD-24 распределяет питание и GATE+START на TDC-96MWC через 12 сдвоенных соединителей USB3 типа A. При этом «плюс» питания защищён индивидуальным предохранителем 5 А, а линии питания и экран разъёма USB3 (замкнутый на «минус» питания) развязаны по высокой частоте последовательно включёнными катушками индуктивности ~ 10 мкГн с немагнитными сердечниками для предотвращения циркуляции паразитных земляных токов в общей системе детектора с установленными модулями TDC-96MWC.

Композитный сигнал GATE+START в уровнях LVDS передаётся по линиям D+/D- разъёма USB3, в положительной логике он представляется как GATE&(!START). Определение отрицательного перепада как переднего фронта START или как конца GATE выполняется на основе анализа длительности сигналов. Максимальная длительность START установлена в 100 нс, соответственно приёмник композитного сигнала в ПЛИС имеет задержку на выходе чуть больше 100 нс — это цена сокращения количества кабелей в системе.

Сигналы Fast Ethernet передаются по двум линиям SuperSpeed и проходят напрямую из сдвоенного соединителя USB3 в сдвоенный соединитель 8P8C, к которому подключается обычный Ethernet-свитч. Предусмотрена резистивная схема для улучшения согласования 90- и 100-омных кабелей, но практика показала хорошую работу прямого соединения. Модуль TNPD-24 имеет 24 канала, но испытания показали, что развязка линий питания по высокой частоте важна для обеспечения приемлемого для усилителей ПК ВЕС уровня помех в земляных контурах ПК, поэтому каждый сдвоенный канал используется как одиночный, и модуль превращается в 12-канальный.

В представленной конфигурации на ВЕС используется 25 модулей TDC-96MWC с кабелями USB3 длиной 3 м, 6 модулей – с составными кабелями с использованием удлинителей 5 м и суммарной длиной до 13 м. Основной проблемой длинных кабелей является падение напряжения питания около 3 В, тем не менее система остаётся работоспособной. Свитчи Ethernet подключены к TNPD-24 кабелями 0.3 м, хотя и с 15 м работают нормально.

ПЛИС Cyclone3 EP3C16F484C8 [4] имеет 15408 логических элементов (LUT4+FF), 504 Кбит блочной памяти и 4 PLL. ПЛИС может иметь до 20 отдельных сетей для глобальных тактовых сигналов с рабочей частотой до 400 МГц. Для проектов с более высокими требованиями по объему логики конструкция модуля позволяет без каких либо изменений на стадии изготовления установить ИС EP3C40F484, имеющую в 2.5 раза больше элементов логики и памяти.

Интерфейс между ПЛИС и МК включает двунаправленную 16-разрядную шину данных со стандартным для MPC8308 протоколом (см. [2]), 11 линий адресации, 10 линий управления, 2 линии прерывания процессора. Для управления модулем предназначен канал управления, для передачи данных модуля в ССД – канал данных с прямым доступом к памяти МК (DMA). В обмене данными между ПЛИС и МК используется буферная память 128 МБ под управлением ПЛИС, развязывающая процессы доступа и обработки данных в ПЛИС и МК. Рабочие частоты интерфейса ПЛИС-МК и ядра МК составляют соответственно 64 МГц и 384 МГц. На 4-х специализированных линиях связи, не входящих в интерфейс ПЛИС-МК, реализуется интерфейс JTAG для загрузки через МК прошивки в ПЛИС.

При разработке и реализации проекта были проведены измерения скорости для различных схем передачи данных (в МБ/с): SDRAM МК → SDRAM МК – 150, ПЛИС → МК – 74, ПЛИС → SDRAM МК (по DMA) – 60, МК → E-net – от 36 (TCP, стандартный сетевой стек Linux с кадрами 1500 байт) до 116 (UDP + PACKET MMAP + Jumbo Frames 8 кБ), ПЛИС → E-net – от 24 (TCP, стандартный сетевой стек Linux с кадрами 1500 байт) до 40 (UDP + PACKET MMAP + Jumbo Frames 8 кБ).

Вышеприведённые скорости были достигнуты для Gigabit Ethernet. Модули установки ВЕС, работающие в магнитном поле до 0.5 Тл, сконфигурированы для режима Fast Ethernet (100 Мбит/с) без трансформатора через разделительные ёмкости, соответственно все скорости через E-net ограничиваются сверху до 12 МБ/с. Использование разделительных ёмкостей для Gigabit Ethernet не тестировалось, возможна неработоспособность с используемой микросхемой РНУ.

Конфигурирование модуля под конкретное применение определяется проектом для прошивки ПЛИС, установкой паяных и съёмных перемычек и ПО микроконтроллера.

Значительный объем оперативной памяти и производительность процессора дают возможность выполнения на МК ПО на языках C/C++ под операционной системой (ОС) семейства Linux. Для тестового режима с помощью перемычки выбирается загрузка предустановленных ОС и ПО, которые хранятся в отдельной ИС NOR флеш-памяти МК объемом 16 МБ. Запись в память выполняется через соединитель

JTAG+RS232 по соответствующим протоколам. В рабочем режиме загрузка ОС и ПО в МК выполняется с помощью загрузчика u-boot, хранимого в той же флеш-памяти, по сети Ethernet, автоматически при подаче питания на модуль. Задание IP адреса модуля определяется другой переключкой: фиксированный отладочный адрес 192.168.0.10 или произвольный, установленный в загрузчике.

Для организации прямого доступа МК к внешним устройствам (ЦАП и др.) предусмотрено соединение его 11-ти выводов общего назначения с контактами соединителя DIN.

3. Время-цифровой преобразователь сигналов с камер на основе TDC-96MWC

На установке ВЕС несколько десятков модулей TDC-96MWC использованы в камерной электронике ПК как ВЦП однофазных сигналов LVTTTL (+3.3 В).

Основные функции модуля в этом качестве такие же, как для других регистрирующих модулей в составе ССД ВЕС. Это: оцифровка сигналов с детектора, в данном случае преобразование «время – цифра»; первичная обработка данных – фильтрация, упаковка и форматирование, включая формирование заголовка события; накопление данных (событий) за время сброса частиц из ускорителя и формирование заголовка цикла; передача массива данных в компьютер ССД.

Ряд функций модуля специфические для применения в комплекте с усилителями-формирователями (УФ) ПК. Это программное управление порогами и испытательным импульсом УФ и подача на них требуемого питания. Все они осуществляются через соединитель DIN.

Общие характеристики ВЦП:

- число каналов 96;
- минимальная длительность регистрируемого сигнала 10 нс;
- квант измерения 5 нс;
- окно регистрации сигналов 320 нс/160 нс;
- число срабатываний («хитов») на канал 1 – 3 (программируется);
- мертвое время 1.3 мкс (2.6 мкс) в однохитовом (многохитовом) режиме;
- групповая задержка входных данных в конвейере обработки событий 127/256 тактов;
- задержка триггера событий 0 – 256 тактов.

Организация программного управления модулем по каналу управления аналогична использованной в ADC-32ATC [2]. Модуль может находиться в одном из трех программно переключаемых состояний:

- прием входных данных по сигналам GATE и START (рабочий режим) или их внутренняя программно управляемая генерация (тестовый режим);
- переход к сессии управления;
- сессия управления.

Сессия управления открывается на работу с одним из 4-х логически выделенных устройств:

- управления циклограммой генерации тестовых данных (CONT-SPILL, 15 команд);
- обработки данных (DATA-PROCESS, 8 команд);
- тестирования (DATA-TEST, 6 команд);
- форматирования данных (DATA-FORMAT, 4 команды).

Сессия включает:

- выбор устройства;
- адресацию регистров устройства (опционно);
- записываемые в регистр данные (опционно);
- кодовые команды управления (опционно);
- закрытие сессии.

Команды управления могут быть однобайтовые безадресные или многобайтовые адресные. Безадресные или кодовые команды могут использоваться только после адресных и отделяются специальным кодом-разделителем. Завершение сессии управления и возврат модуля в переходное состояние определяется нулевым байтом. Для использования нулевых значений-кодов внутри сессии они сопровождаются специальным признаком – установкой «1» в 9-м бите слова.

Блочная схема тракта обработки данных модуля TDC-96MWC показана на рис. 2. Блок CONT-SPILL обрабатывает внешние сигналы GATE и START или формирует их внутренние одиночные или циклически повторяемые последовательности с программируемыми параметрами: количество сигналов START и интервалы между ними, определяющие длительность GATE, и длительность паузы между сигналами GATE. Блок DATA-TEST управляет конвейерной задержкой входных каналов и генерацией тестовых наборов данных в нескольких режимах: с постоянными кодами, со сдвигowymi (по каналам) и с псевдослучайными с управляемой интенсивностью. Блок DATA-PROCESS выполняет задержку окна оцифровки относительно START и оцифровку сигналов 96-ти каналов с кодированием срабатываний.

Блок DATA-FORMAT принимает данные за событие с преобразованием в 32 битный формат, размещает их в спаренные буферы с переключаемым режимом запись/чтение, организуя конвейерный режим обработки, сопровождает данные счетчиком длины события (LV[15..0]) и передает на конечное форматирование события. Блок EVENT-FORMAT снабжает событие заголовком с временным штампом. Он же управляет конвейером обработки событий и его приостановкой. Для этого используются сигналы START, задержанный Z-START, сигналы форматирования события EVENT и заполнения буфера записи (не показан). Дополнительно блок формирует коды и сигналы для проверки тракта данных, включая SDRAM и МК (тест SDRAM).

Через БУФЕР ЗАПИСИ данные в течении GATE параллельно с обработкой событий переписываются из ПЛИС в SDRAM, а по окончании GATE вычитываются из нее через БУФЕР ЧТЕНИЯ с формированием в блоке SPILL-FORMAT заголовка сброса. Прием данных за сброс в МК выполняется по каналу DMA. Для согласования скоростей и блоков передачи SDRAM и DMA введено дополнительное FIFO в блоке УПРАВЛЕНИЕ МК. Таблица команд управления для модуля ВЦП приведена в Приложении 6.1.

Для тестирования модуля разработана программа, выполняющая загрузку про-

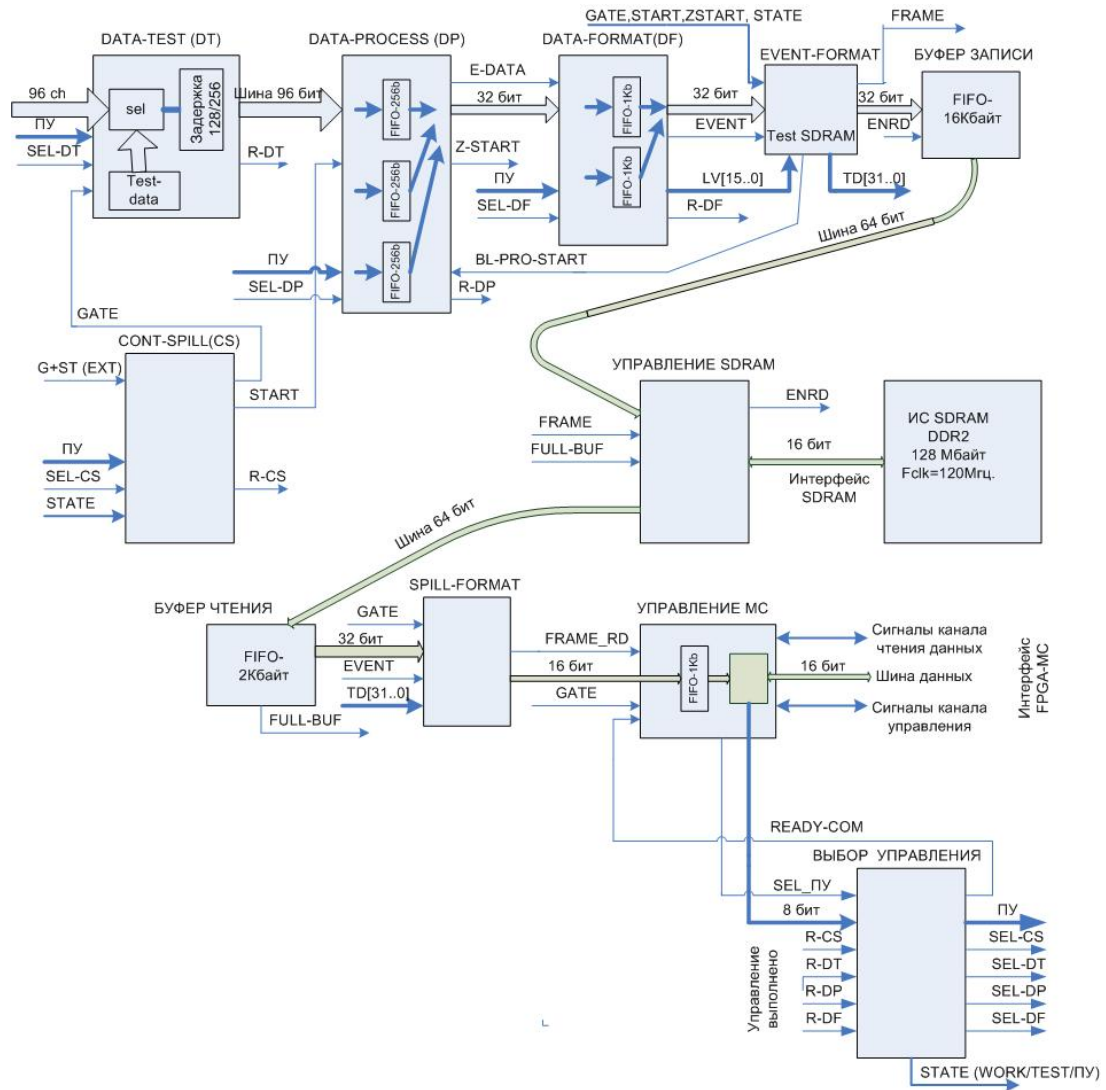


Рис. 2. Блок-схема прошивки ПЛИС для ВЦП на базе модуля TDC-96MWC

веряемой прошивки в ПЛИС, тест полного объема SDRAM на переменных кодах, генерацию трех типов входных тестовых данных (постоянных, переменных по каналам, псевдослучайных с программируемой интенсивностью следования) с проверкой их приема в МК на форматные и кодовые ошибки.

4. Модуль MPDP-44 и его использование в триггерной системе

4.1. Конструкция модуля MPDP-44

Для модернизации триггерной системы ВЕС на современном концептуальном и технологическом уровне был разработан составной модуль MPDP-44 (Multichannel Processor for Digital Pulses). В его составе 6-слойная материнская плата и мезонин TDC-96MWC, устанавливаемый на 150-контактном соединителе DIN. Питание +12 В подаётся на материнскую плату MPDP-44 и далее через соединитель DIN – на TDC-96MWC. На материнской плате имеется импульсный преобразователь на –5.0 В 4 А, остальные питания берутся от мезонина TDC-96MWC.

Материнская плата MPDP-44 является двунаправленным 44-канальным преобразователем уровней NIM - HSTL18, с установкой соответствующей перемычки (+1.8 В) на TDC-96MWC. Кроме того, имеются четыре дополнительных входа: два NIM с преобразователями уровня, зарезервированные под внешние тактовые сигналы для ПЛИС, и два специальных для приёма синхросигнала ускорителя У-70.

Стандарт HSTL18 на стороне ПЛИС по выходу является обычным 1.8-вольтовым КМОП с нормированным выходным сопротивлением 50 Ом, по входу – дифференциальным приёмником, у которого на инвертирующий вход подано постоянное пороговое напряжение 0.9 В (VREF для данной группы входов ПЛИС, равное половине напряжения питания). За счёт применения дифференциального приёмника существенно снижается зона неопределенности регистрации сигнала и тем самым минимально необходимый перепад входного напряжения, который для HSTL18 составляет относительно VREF ± 200 мВ. Характеристики стандарта HSTL18 можно найти в [4].

Преобразователи уровня организованы в 4 столбца по 12 каналов в каждом и нумеруются тремя цифрами – номером столбца (0-3) и номером строки (00 - 11). На всех каналах, кроме 011 и 111 для синхросигнала У-70, постоянно подключено согласующее сопротивление 50 Ом со связью по постоянному току, входы 011 и 111 также согласованы на 50 Ом, но со связью по переменному току через конденсатор 0.1 мкФ. Конденсатор применяется для защиты от сгорания остальной части схемы при ошибочной подаче большого постоянного напряжения (до ± 50 В) от источника синхросигнала, находящегося вне зоны ответственности ВЕС.

На каждом столбце (кроме каналов 011 и 111) можно регулировать независимо при помощи двухканальных ИС ЦАП MCP48FVB02 с интерфейсом SPI, реализованным программно на выводах МК, порог срабатывания (канал 0 ЦАП) или амплитуду (канал 1 ЦАП) выходного импульса. Диапазон регулировки – от –1.6 В до 0 В. Это позволяет работать не только с уровнями собственно NIM. На рис. 3, 4 при-

ведены принципиальные схемы преобразователей и регуляторов порогов/амплитуд. Указанные на схемах транзисторы BFR93AW в генераторах токов для токовых переключателей представляются предпочтительными с точки зрения прямоугольности формы сигнала ввиду их относительно большого напряжения Эрли. Однако из опасения самовозбуждения в гигагерцевом диапазоне реально используются средне-частотные транзисторы BC846BW. Кроме управления амплитудами выходных сигналов, предусмотрен сигнал включения тока в выходных токовых переключателях OUTPUTS_ON, в качестве которого используется дополнительный управляющий сигнал ПЛИС на разъёме DIN.

Сигналы OUTPUTS_ON, GATE, START, BUSY (см. далее) выведены на светодиодную индикацию на материнской плате MPDP-44. Еще один светодиод INT_MODE индицирует работу TDC-96MWC в режиме внутренних запусков циклов.

Материнская плата MPDP-44 одновременно является передней панелью конструктива ВЕКТОР шириной в 11 позиций с 4-мя рядами прямых соединителей РЦ-00, распределенных на панели, или двумя рядами угловых соединителей по ее краям. При использовании угловых соединителей для обеспечения доступа к ним в каркас устанавливается только один модуль. Для вывода Ethernet-кабеля от TDC-96MWC сделаны 2 выреза по бокам. Сверху плата MPDP-44 закрывается устанавливаемой на 4 стойках дополнительной защитной панелью для предотвращения механического повреждения MPDP-44 и маркировки входов/выходов для конкретного применения. Защитная панель может быть изготовлена с использованием технологии печатных плат.

4.2. Триггерный модуль установки ВЕС на основе MPDP-44

Триггер, реализованный на MPDP-44, имеет принципиальную особенность, отличающую его и от чисто синхронной схемы, обычно применяемой на ускорителях с встречными пучками, и от асинхронной схемы, ранее характерной для экспериментов с фиксированной мишенью (хотя и вытесняемой в настоящий момент синхронной схемой). Сравнение некоторых аспектов двух подходов можно найти в [2].

Основной с точки зрения обработки сигналов узел MPDP-44, ПЛИС в мезонинном модуле TDC-96MWC, работает в синхронном режиме. Ядро триггерной логики работает на частоте 200 МГц. Захват и выдача внешних сигналов там, где это критически важно, осуществляется на эффективной частоте 800 МГц, реализованной как 400 МГц DDR. Модуль с точки зрения внешнего мира эмулирует интерфейс обычной асинхронной триггерной логики на основе схем совпадений на комбинационной логике и кабельных задержек.

Выбор в пользу этой концепции имеет ряд причин:

1. Средства разработки прошивок ПЛИС предназначены в основном для синхронной методологии и позволяют делать сложные и в то же время предсказуемо работающие схемы с точки зрения паразитных временных задержек в элементах ПЛИС.

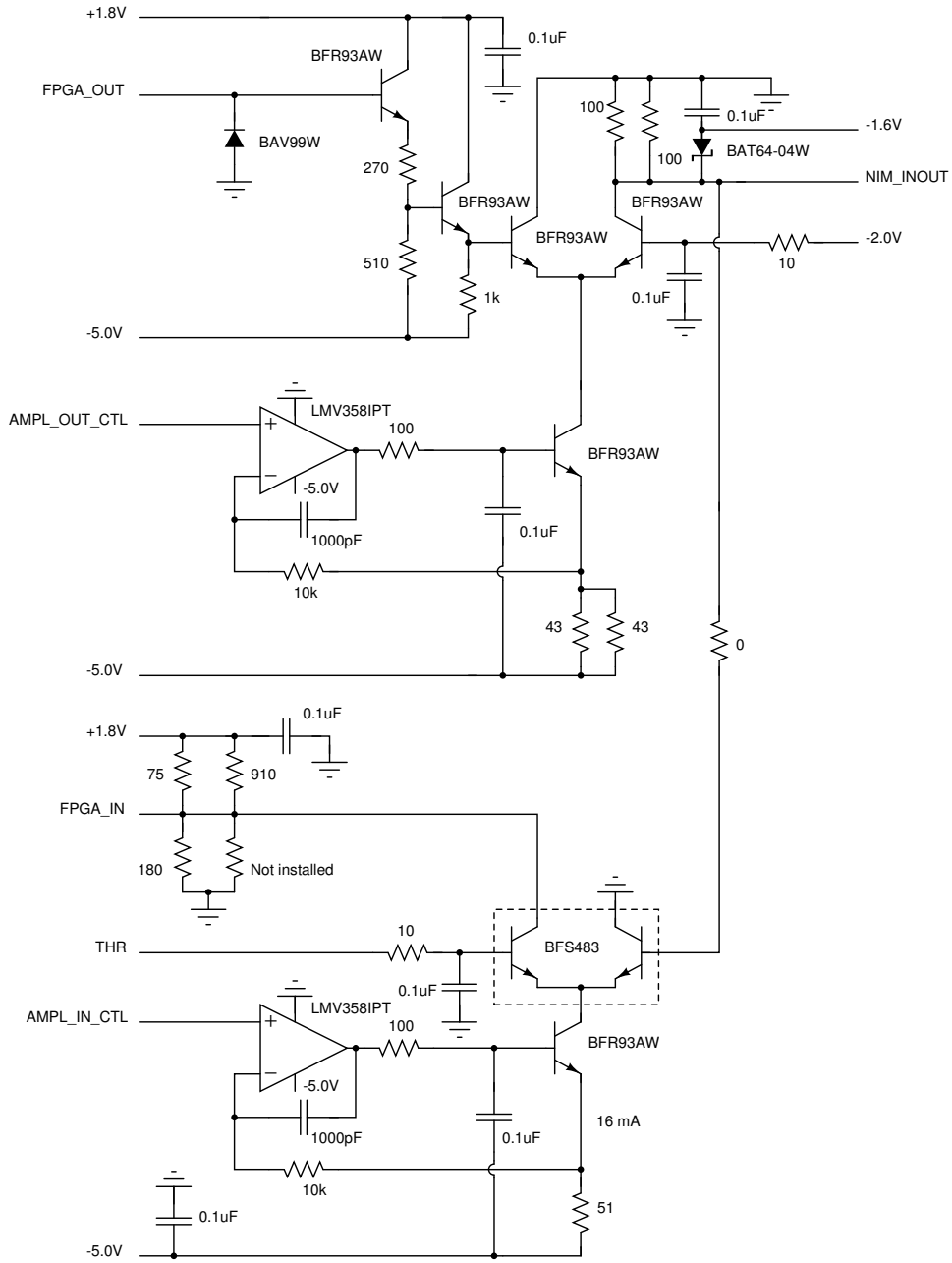


Рис. 3. Принципиальная схема двунаправленного преобразователя уровней MPDP-44

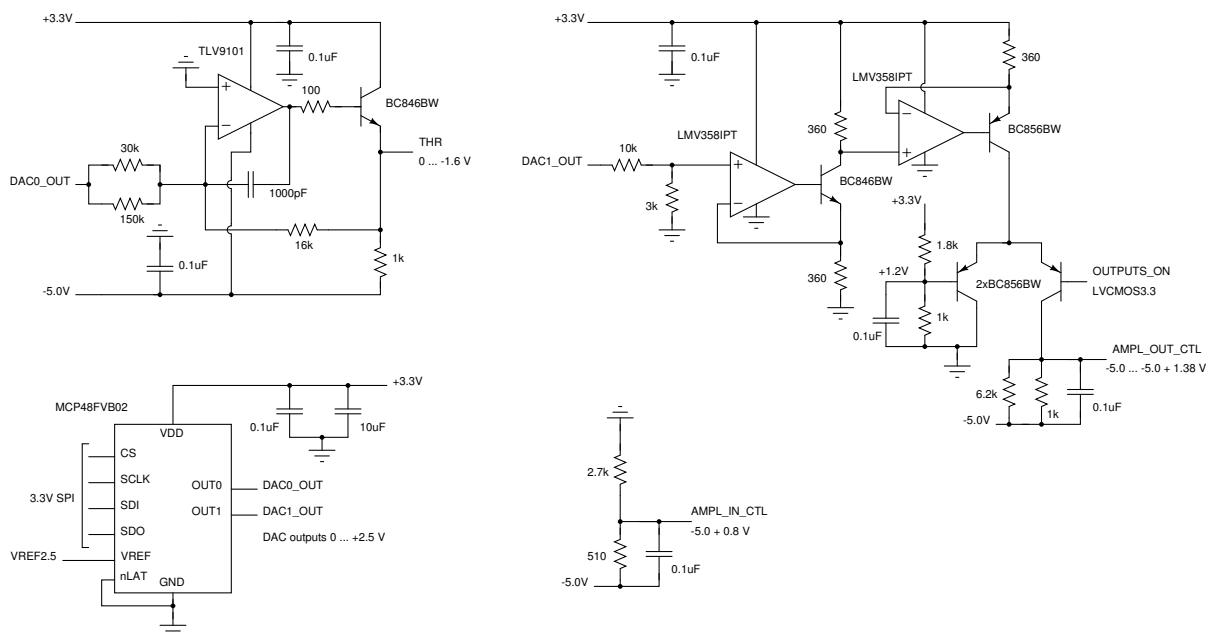


Рис. 4. Принципиальные схемы управления порогом и амплитудой в преобразователях уровней MPDP-44

2. Сохраняется совместимость без переделки с ССД ВЕС, рассчитанной на асинхронный триггер.
3. Есть возможность программируемой регулировки задержек сигналов внутри модуля с квантом 1.25 нс с высокой стабильностью, определяемой кварцевым генератором.

Недостатком является наличие у триггерного модуля собственного внутреннего джиттера выходного триггерного сигнала относительно входных в виде равномерно распределения с шириной 1.25 нс. Измерения, сделанные с использованием генератора и осциллографа (LeCroy WaveRunner 606Zi), подтверждают это с результатом среднеквадратичного отклонения $\sigma = 373 \text{ пс} \approx 1.25 \text{ нс} / \sqrt{12}$ (рис. 5). Это вполне приемлемо для эксперимента ВЕС с умеренной интенсивностью пучка и сравнительно невысоким временным разрешением детекторов, но может быть недопустимым для других применений, например, с времяпролётной методикой. Однако и эту проблему можно решить, если завести сигналы от пучковых сцинтилляционных счётчиков помимо триггерного модуля также на выборочный АЦП (ВАЦП) и использовать сигнал триггера просто как связанную с событием временную метку, относительно которой измеряются все остальные времена.

Блок-схема триггерного модуля показана на рис. 6. Первые 4 входа являются опорными — имеют отличающуюся схему обработки по сравнению с остальными (в дальнейшем называемыми обычными). Заявленный выше минимальный джиттер выходного триггерного сигнала достигается только при использовании решений вида $T = R_1 \cdot \dots \cdot R_k \cdot F(G_1, \dots, G_n)$, где R_i — опорные сигналы, а F — любая физически

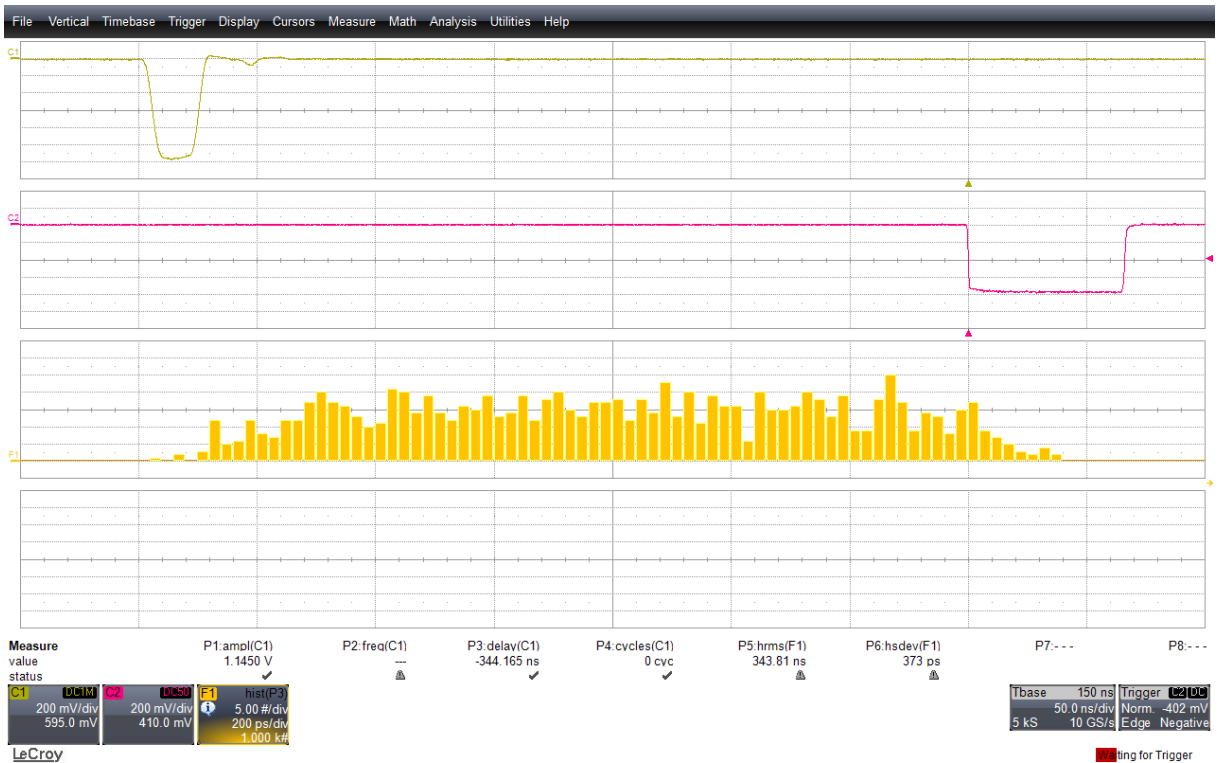


Рис. 5. Экран осциллографа при измерениях джиттера триггерной схемы: верхний луч с панелью C1 – сигнал генератора на входе S1 MPDP-44 (второй сигнал на S2 для схемы совпадений не показан); нижний луч C2 – выходной сигнал MPDP-44, он же – запуск осциллографа (панель Trigger); гистограмма F1 – разница времен этих сигналов; результат измерения – среднеквадратичное отклонение P6:hsdev(F1)= 373 пс

реализуемая средствами модуля функция от обычных сигналов, при этом доступна функция усреднения собственного джиттера опорных сигналов с программируемы-ми весами (см. ниже). Для других схем джиттер триггера возрастает в 4 раза, и не доступна функция усреднения собственного джиттера внешних сигналов. Тем не менее для каких-то калибровочных триггеров это вполне допустимо.

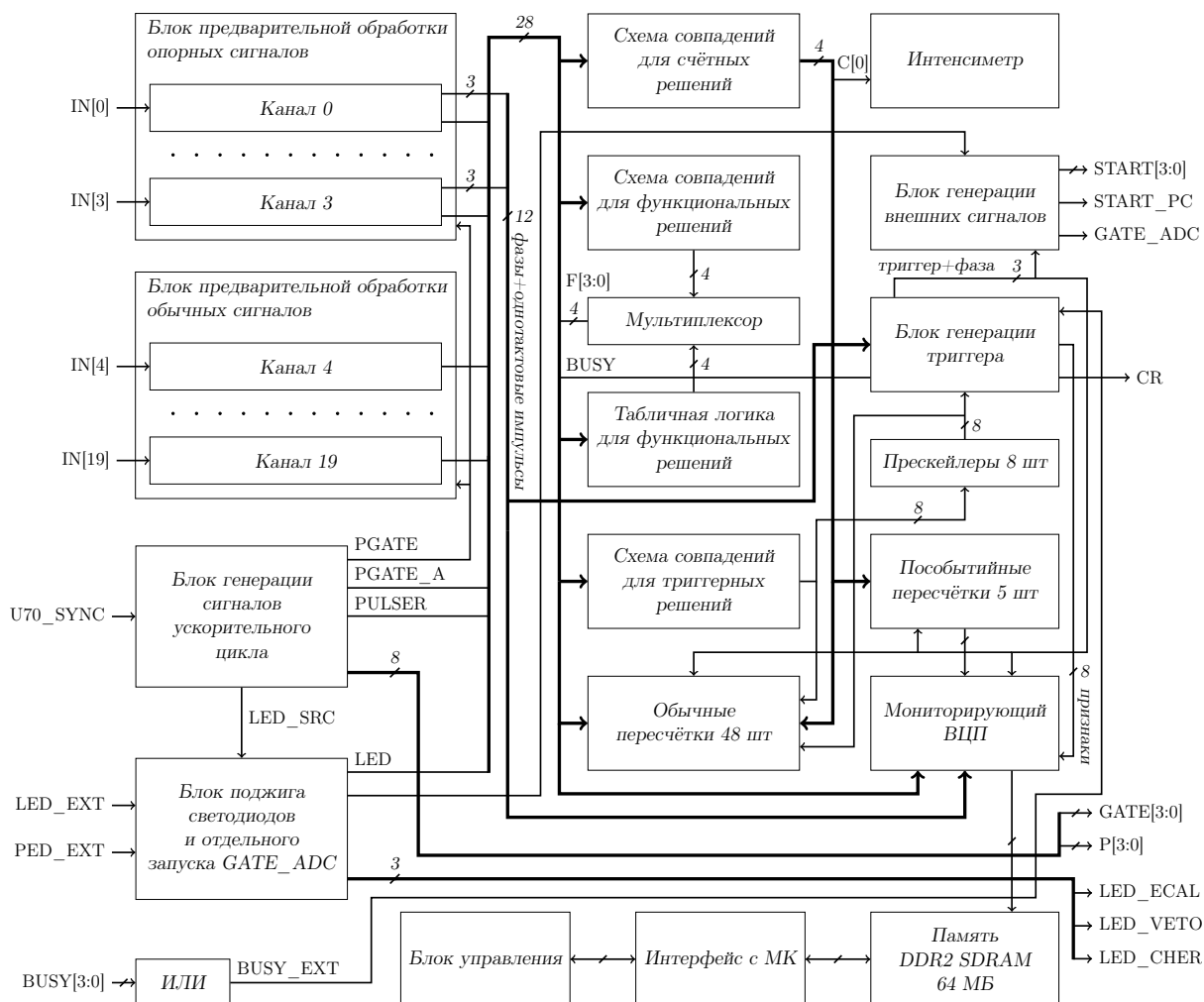


Рис. 6. Блок-схема прошивки ПЛИС триггерного модуля ВЕС на основе MPDP-44. Блок управления обеспечивает чтение/запись управляющих регистров и памятей почти всех остальных блоков, соответствующие связи не показаны явно. Сигнал GATE, помимо выдачи наружу, также заведён в некоторые внутренние блоки, соответствующие связи не показаны явно.

Схемы блоков предварительной обработки сигналов показаны на рис. 7. Для двух входных подключённых к IN D-триггеров в опорном канале используются атрибуты DDIO_INPUT_REGISTER HIGH/LOW для триггера с прямой/инверсной частотой, что гарантирует их расположение в одном LAB, ближайшем к используемому внешнему выводу ПЛИС. Входные задержки регулируются с квантом 5 нс как на

опорных, так и на обычных каналах. Опорные входы также могут быть использованы в роли обычных, но необходимо обратить внимание на наличие детектора фронта на них, который отсутствует на обычных входах. Это приводит к тому, что длительность импульса после уширителя импульса на опорных входах в точности равна запрограммированной длительности уширения, а на обычных входах является суммой изначальной собственной длительности импульса и запрограммированной длительности уширения. Отсутствие детектора фронта на обычных входах призвано улучшить подавление антисовпадательными счётчиками (непровзаимодействовавшего пучка) в условиях высокой загрузки, когда входные импульсы могут сливаться с потерей фронтов ещё до поступления на триггерный модуль. Для этого должны использоваться соответствующие формирователи аналоговых сигналов.

Схемы совпадений представляют собой конвейеризованные для обеспечения работы на высокой частоте 28-входные схемы И, их функциональной моделью является 28-входной вентиль И с регистром сдвига некоторой длины на выходе. Предусмотрена возможность программируемого пользователем отключения или инвертирования (включения в «анти») каждого входа. Выходы функциональных решений $F[3:0]$, которые подаются обратно на входы схем совпадений (с игнорированием в функциональных решениях для исключения закольцовывания), изначально подстроены по задержке с остальными входами, т.е. можно при настройке свободно строить произвольные решения с использованием функций, как будто они работают мгновенно. Также предусмотрена возможность дополнительной программируемой задержки выходов функций на несколько тактов. Это использовано в эксперименте ВЕС в калибровочном решении «космика» для вето-системы, чтобы обеспечить такую же задержку триггера, как и на пучковых событиях — исходные сигналы вето-системы приходят на схемы совпадений чуть раньше, чтобы обеспечить покрытие опорных сигналов в триггерах на пучке.

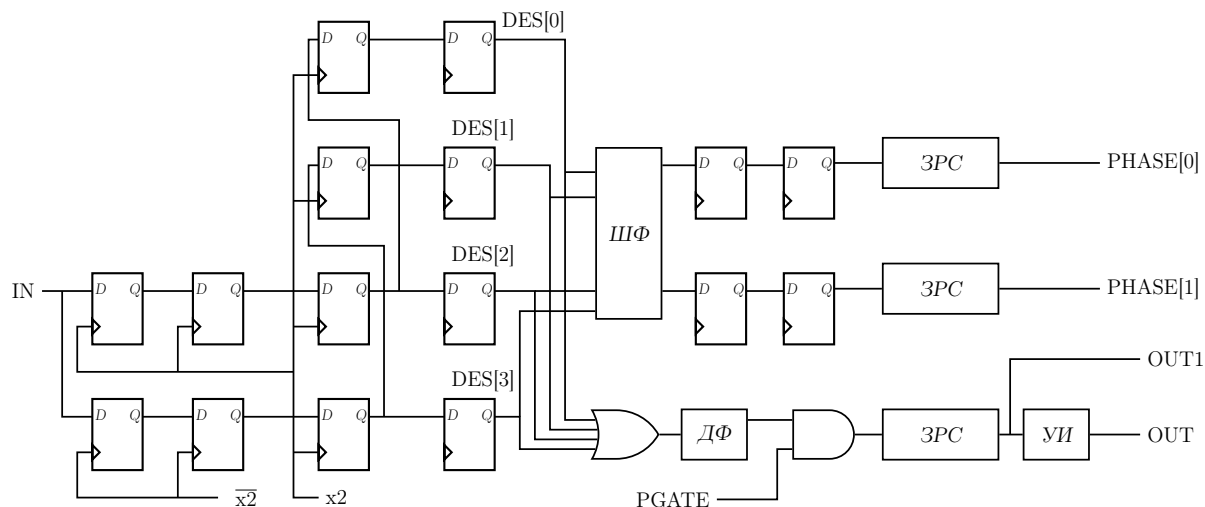
Табличная логика для функциональных решений реализована в виде отдельной для каждого решения 13-входной программируемой таблицы истинности, выполненной на блоке памяти М9К размером 1 кБ. Один из портов² блока памяти сконфигурирован с однобитовой шиной данных, которая используется как выход таблицы истинности, и 13-битовой адресной шиной, которая используется как входы. Через второй порт производится программирование содержимого таблицы. Блок работает в непрерывном конвейерном режиме на частоте 200 МГц. В каждом функциональном решении есть возможность программируемого подсоединения блока к каналам 0–12 или 7–19, а также переключения решения на режим обычной 28-входной схемы совпадений.

Сигнал PGATE³ (particle gate — единичный импульс внутри ускорительного цикла с длительностью от 0.1 с) обозначает разрешение работы триггерной логики, ранее описанный сигнал GATE, разрешающий работу ССД, обычно накрывает PGATE

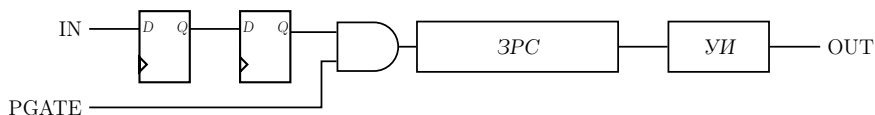
²здесь означает отдельный независимый интерфейс доступа в блок памяти. Далее слово «порт» будет использоваться также в смысле подпространства в адресном пространстве управления триггерным модулем в целом

³полная циклограмма представлена далее

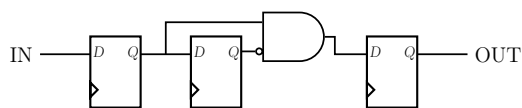
Канал предварительной обработки опорного сигнала:



Канал предварительной обработки обычного сигнала:



ДФ (детектор фронта):



ШФ (шифратор фазы), комбинационная схема:

Входы [3:0]	Выходы [1:0]
0 0 0 0	0 0
x x x 1	0 0
x x 1 0	0 1
x 1 0 0	1 0
1 0 0 0	1 1

УИ (уширитель импульса):

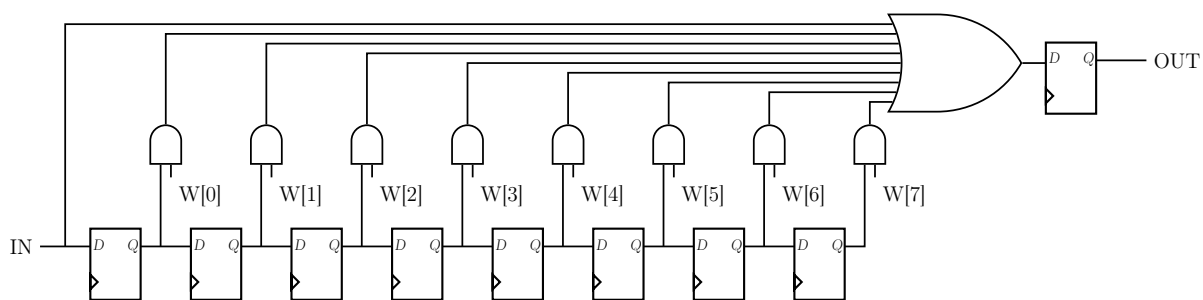


Рис. 7. Схемы каналов предварительной обработки сигналов. Каналы работают в непрерывном конвейерном режиме. Выходы каналов OUT подаются на схемы совпадений. ЗРС обозначает задержку на регистре сдвига, все ЗРС внутри одного канала имеют одинаковую длину (программируемую пользователем во время работы). Все D-триггеры, если не указано явно, тактируются от основной частоты 200 МГц, входные цепи опорных каналов используют также синхронную с ней частоту 400 МГц (удвоенную прямую $\times 2$ и инвертированную $\times 2$). Постоянные сигналы $W[7:0]$ индивидуальны для каждого канала и вырабатываются схемой управления (для программирования длительности уширения импульса).

с запасом 0.1 с на обоих фронтах. Сигнал GATE выдаётся наружу в 4 идентичных экземплярах, обозначенных на схеме как GATE[3:0].

Внутренний сигнал PGATE_A (единичный импульс внутри укоротительного цикла с длительностью от 0.1 с) используется для вырезания по времени некоторых решений, сейчас используется на ВЕС для триггера «космика», чтобы заблокировать его работу на пучке от ускорителя. Внутренний сигнал LED используется для калибровочных светодиодных запусков в начале PGATE (включается в одиночное совпадение в некотором триггерном решении). Внутренний сигнал PULSER используется для запусков от генератора на протяжении всей длительности PGATE после пачки LED (включается в одиночное совпадение в некотором триггерном решении). Запуски от генератора используются при настройке установки без пучка, а также во время набора данных для некоторых задач мониторинга, главным образом в качестве псевдослучайного запуска. Сигнал BUSY, обозначающий блокировку выработки выходного триггера для ССД на время обработки события, сейчас используется для мониторинга в счётных решениях («неблокированные» счета).

Триггерные решения T0–T7 вызывают выработку триггера на запуск ССД, счётные решения C0–C3 используются исключительно для мониторинга (пособытийные и обычные пересчётки), функциональные решения F0–F3 используются для расширения набора возможных логических функций в триггерных и счётных решениях. Под обычными пересчётками, в дальнейшем называемыми также интегральными, подразумеваются счётчики, сбрасываемые в начале GATE, считающие на протяжении GATE и считываемые по концу GATE.

Прескейлеры позволяют индивидуально разредить каждое из решений T0–T7 в 1–65536 раз. Внутренние счётчики прескейлеров никогда не сбрасываются в 0 (в том числе по началу GATE). Это необходимо для того, чтобы не вносить статистические искажения в триггеры с низкой интенсивностью, когда за ускорительный цикл наблюдается не более нескольких срабатываний на выходе прескейлера.

Блок генерации триггера при срабатывании хотя бы одного прескейлированного решения T0–T7 начинает выработку триггера для ССД, в дальнейшем сигнал, который начинает этот процесс, будем называть предтриггером. При этом устанавливается внутренний сигнал BUSY, который является объединением по ИЛИ внешних сигналов и внутренней блокировки программируемой пользователем длительности. Мёртвое время блока пособытийного мониторинга (см. далее) составляет чуть меньше 1.5 мкс, поэтому минимально допустимое значение внутренней блокировки равно 1.5 мкс. Сейчас на ВЕС используется значение 5 мкс. Разблокировка блока генерации триггера происходит при снятии BUSY. В случае, если BUSY не снимается более 1.3 мс, происходит выработка сигнала CR (common reset) по таймауту, также CR вырабатывается по началу GATE. Маска сработавших решений T0–T7 (8 бит) передаётся в блок пособытийного мониторинга (обозначенный на схеме как «Мониторующий ВЦП»).

Для усреднения собственного джиттера опорных сигналов с целью снижения джиттера выходного триггерного сигнала для каждого опорного канала есть постоянно считающий счётчик и регистр текущей фазы, по каждому приходу сигнала в

опорном канале счётчик обнуляется, а фаза запоминается в регистр текущей фазы. По предтриггеру значения счётчиков и регистров текущих фаз на опорных каналах запоминаются в регистры. Запомненные значения счётчика и фазы соответствуют интервалу времени от предтриггера до ближайшего опорного импульса на данном канале. Для достижения этого фазы и используемые для сброса счётчиков сигналы на опорных каналах дополнительно задерживаются на регистрах сдвига с целью компенсации конвейерной задержки на схемах совпадений и прочей логики.

Схема усреднения джиттера правильно работает только при нахождении импульсов на опорных каналах в некотором окне по времени. Увеличение этого окна приводит к необходимости увеличить минимальную задержку триггера, так как поправка к задержке выработки триггера из предтриггера всегда отрицательная, и необходимо иметь запас, из которого можно вычитать. Гарантией нахождения в правильном окне является использование опорных каналов только в совпадении и не превышение некоторой границы для уширения импульсов. Сейчас дополнительное уширение импульсов на опорных каналах не должно превышать 2 такта (код уширения 0x3, общая длительность получается 3 такта).

После запоминания значений счётчиков с использованием аппаратных умножителей ПЛИС вычисляется среднее взвешенное значение времени от предтриггера до группы вызвавших его опорных импульсов (с учётом фаз). Полученное время используется для вычисления фазы триггера и грубой задержки d предтриггера (на частоте 200 МГц). Далее предтриггер задерживается на d на счётчике для получения триггера ССД. Общий результат работы схемы можно описать формулой:

$$t_{tr} = (w_0t_0 + w_1t_1 + w_2t_2 + w_3t_3)/128 + t_c \quad (1)$$

где t_{tr} — момент времени триггера ССД, t_k — моменты прихода опорных сигналов, w_k — веса усреднения джиттера (неотрицательные целые, сумма весов при использовании схемы усреднения джиттера должна быть равна 128), t_c — некоторая константа. Деление на 128 выполняется битовым сдвигом (т.е. простым отбрасыванием младших 7 бит). Допускается все веса устанавливать в 0, в этом случае усреднение выключается и джиттер возрастает до 5 нс (ширина равномерного распределения). Для неиспользуемых опорных каналов вес должен быть установлен в 0.

Веса w_k хранятся в блоке памяти и программируются пользователем. Набор весов для каждого решения T0–T7 индивидуален, адрес байта с весом w_k для решения n равен $4n + k$. Извлечение весов схемой усреднения джиттера происходит через 32-битный порт, т.е. все 4 веса извлекаются за 1 такт. В случае одновременного срабатывания нескольких решений номер решения для извлечения весов из памяти для конкретного события определяется приоритетным шифратором, высший приоритет имеет решение T0, низший — T7. Однако в блок мониторинга слово срабатывания решений передаётся в неизменном виде, без подавления битов низкоприоритетных решений, если таковые были.

Вплоть до блока генерации триггера весь тракт обработки входных сигналов полностью конвейеризован и работает непрерывно (даже во время блокировок BUSY).

Схемы блоков зажигания светодиодов и генерации внешних сигналов показаны

на рис. 8 и рис. 9. Сигналы PED_EXT/PED_INT и LED_EXT/LED_INT используются программой вычитания пьедесталов в интегрирующих АЦП (ADC) и в работе с электромагнитным калориметром (ECAL) с использованием светодиодов в режиме чтения секторов МИСС через каркасные контроллеры. Блок КЗТЛ (компенсация задержки триггерной логики) необходим для того, чтобы время между GATE_ADC и LED_ECAL не зависело от режима работы — от сигнала LED_SRC при штатной работе ССД или от сигналов LED_EXT/LED_INT. При подстройке GATE_ADC по задержке (на сигналах от частиц) всегда следует на такую же величину изменять задержку LED_ECAL. Сигналы LED_CHER и LED_VETO используются для зажигания светодиодов в многоканальном черенковском счётчике и охранной системе, которые оцифровываются выборочными АЦП.

Идея схемы генератора выходного импульса (ВГИ), показанного на рис. 9, состоит в следующем. Старший бит фазы IN[2] управляет мультиплексором, который меняет задержку на 1 такт удвоенной частоты. Младший бит фазы IN[1] выбирает выходную ветвь, с которой выдавать сигнал — от прямой или инверсной удвоенной тактовой частоты, и таким образом регулирует задержку на 1/2 такта удвоенной частоты. Далее выходы ветвей объединяются по ИЛИ. Бит программируемого кода длительности импульса W[1] управляет мультиплексором, который выбирает исходный импульс или уширенный на 1 такт удвоенной частоты, бит W[0] игнорируется (т.е. длительность регулируется с квантом 2.5 нс, задержка с квантом 1.25 нс).

Конкретный номер LAB, к которому привязывается ВГИ, определяется следующим образом. Сначала делается вспомогательная прошивка ПЛИС с входными DDR-схемами с атрибутами DDIO_INPUT_REGISTER HIGH/LOW на выводах ПЛИС, соответствующим выходам ВГИ. Компиляция этой прошивки приводит к тому, что компилятор сообщает в текстовом отчёте, в какой LAB он поместил триггеры — это ближайший LAB к выводу ПЛИС. Далее отчёт обрабатывается самодельным скриптом на Perl, и получается список номеров LAB для последующей фиксации ВГИ. Может быть так, что нескольким выводам соответствует один LAB, тогда для остальных выводов, кроме одного, берётся какой-то соседний LAB. Вышеописанные меры предназначены для того, чтобы снизить разброс паразитных выходных задержек «выход ВГИ – внешний вывод ПЛИС» при модификациях и последующих перекомпиляциях прошивки.

На рис. 10 приведена гистограмма взаимной задержки сигналов с двух разных ВГИ при некоторых значениях кодов задержек. Видно два узких пика, отстоящих примерно на 300 пс; картина зависит от значений младших битов кодов задержек, при изменении одного из них пик становится одиночным. Проблема связана с неодинаковостью задержек внутри ПЛИС от выходных триггеров до выхода элемента LUT, выполняющего роль вентиля ИЛИ. При расположении внутри одного LAB для разводки используется локальная матрица соединений, где в первом приближении все пути имеют одинаковую задержку. Поэтому наблюдаемая разница связана либо с всё же существенным разбросом задержек в матрице соединений, либо с неоднородностью структуры самого LUT и использованием 4-х разных физических входов в разных ВГИ. Вероятно, проблему можно устранить или ослабить при помощи уси-

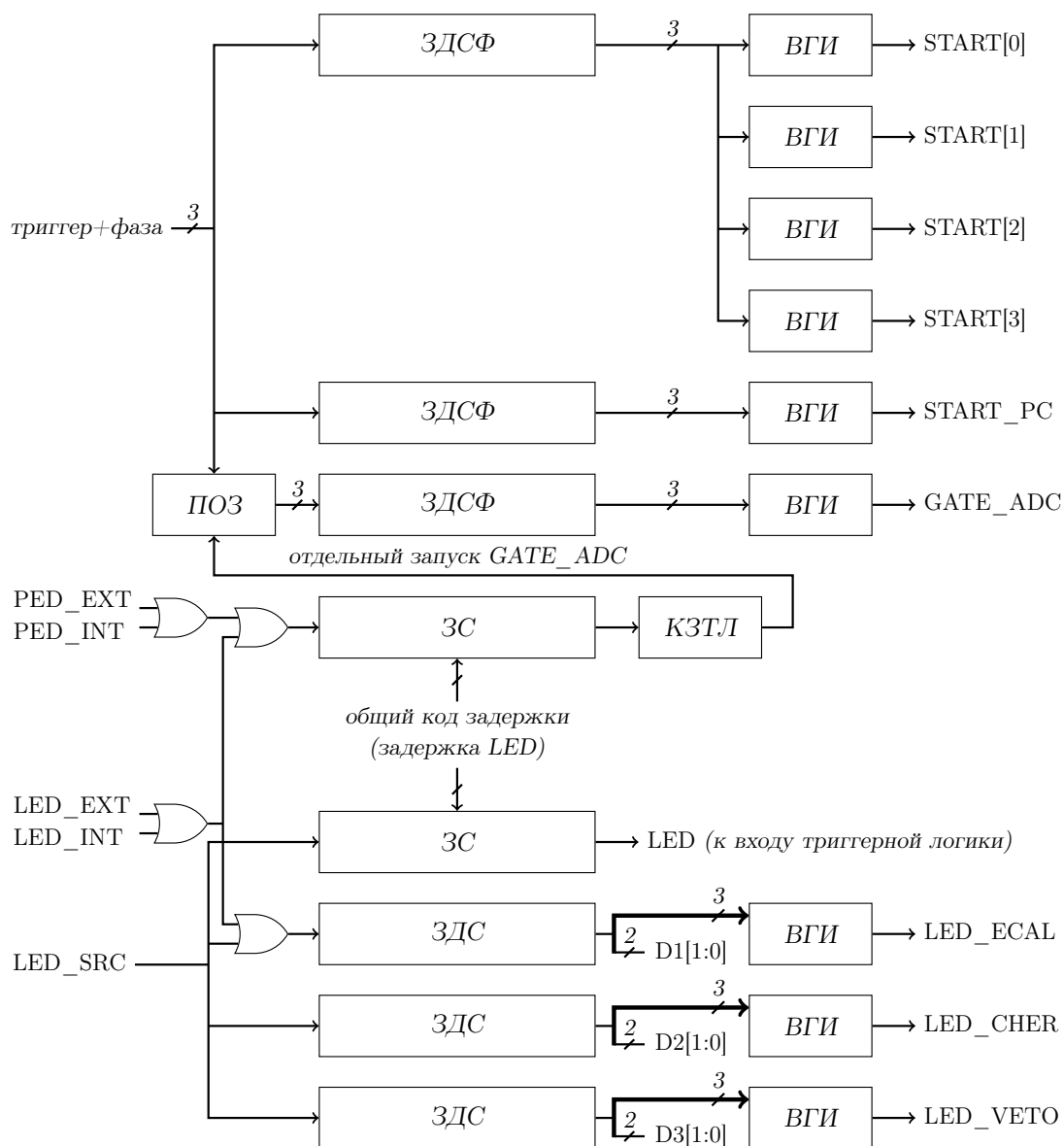


Рис. 8. Схема блоков зажигания светодиодов и генерации внешних сигналов. Сигналы `PED_EXT` и `LED_EXT` подаются с передней панели, сигналы `PED_INT` и `LED_INT` генерируются блоком управления записью в соответствующий управляющий регистр по каналу управления от МК. Сигналы `D1`, `D2`, `D3` — коды соответствующих задержек от блока управления, показаны явно для увязки с остальной частью схемы, остальные конфигурационные сигналы от блока управления явно не показаны. Обозначения: ВГИ — выходной генератор импульса, ЗДСФ — задержка и длительность на счётчиках с учётом фазы, ЗДС — задержка и длительность на счётчиках, ЗС — задержка на счётчике, ПОЗ — подмешивание отдельного запуска, КЗТЛ — компенсация задержки триггерной логики (фиксированная задержка на счётчике). Все блоки, кроме ВГИ, работают на основной частоте 200 МГц. Задержка между `LED_SRC` и `LED` (вместо непосредственной подачи `LED_SRC` на схемы совпадений) нужна для того, чтобы можно было зажечь светодиоды раньше триггера.

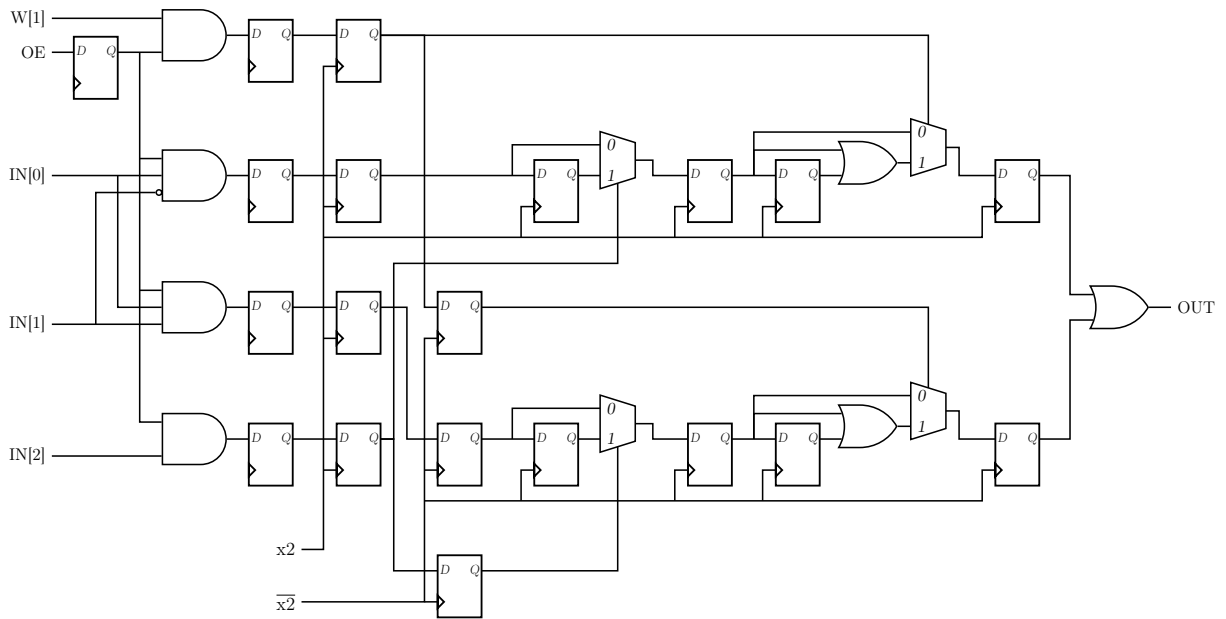


Рис. 9. Схема выходного генератора импульса. Сигналы OE и W[1] — псевдопостоянные, вырабатываемые блоком управления. Сигнал W[1] является битом 1 (младшим значащим) программируемой длительности импульса. Сигнал IN[0] находится в 1 на протяжении всей необходимой длительности импульса (округлённой до кванта 5 нс отсечением младших разрядов), в IN[2:1] при этом передаётся требуемая фаза задержки импульса (постоянная на протяжении всего IN[0] с удерживанием на 2 такта после его снятия) на эффективной частоте 800 МГц. Все D-триггеры, если не указано явно, тактируются от единой частоты 200 МГц, выходные цепи используют также синхронную с ней частоту 400 МГц (прямую $\times 2$ и инвертированную $\overline{\times 2}$). Все D-триггеры, тактируемые от удвоенной частоты, располагаются в одном LAB, выходной вентиль ИЛИ (реализуемый на элементе ПЛИС LUT) и работающие на него 2 триггера дополнительно зафиксированы на конкретных местах внутри LAB.

ления проектных ограничений (constraints) для Quartus. В принципе, можно было бы воспользоваться штатными структурами для режима DDR в IO-блоках ПЛИС (существенно изменив схему ВГИ), это бы гарантированно устранило проблему. Реализация схемы целиком внутри LAB была сделана с целью исследовать, возможно ли это и какие параметры можно достичь. Следует отметить, что разброс 300 пс не является критическим для использования схемы по назначению при работе на эффективной частоте 800 МГц, хотя и стал бы существенным в случае её удвоения.

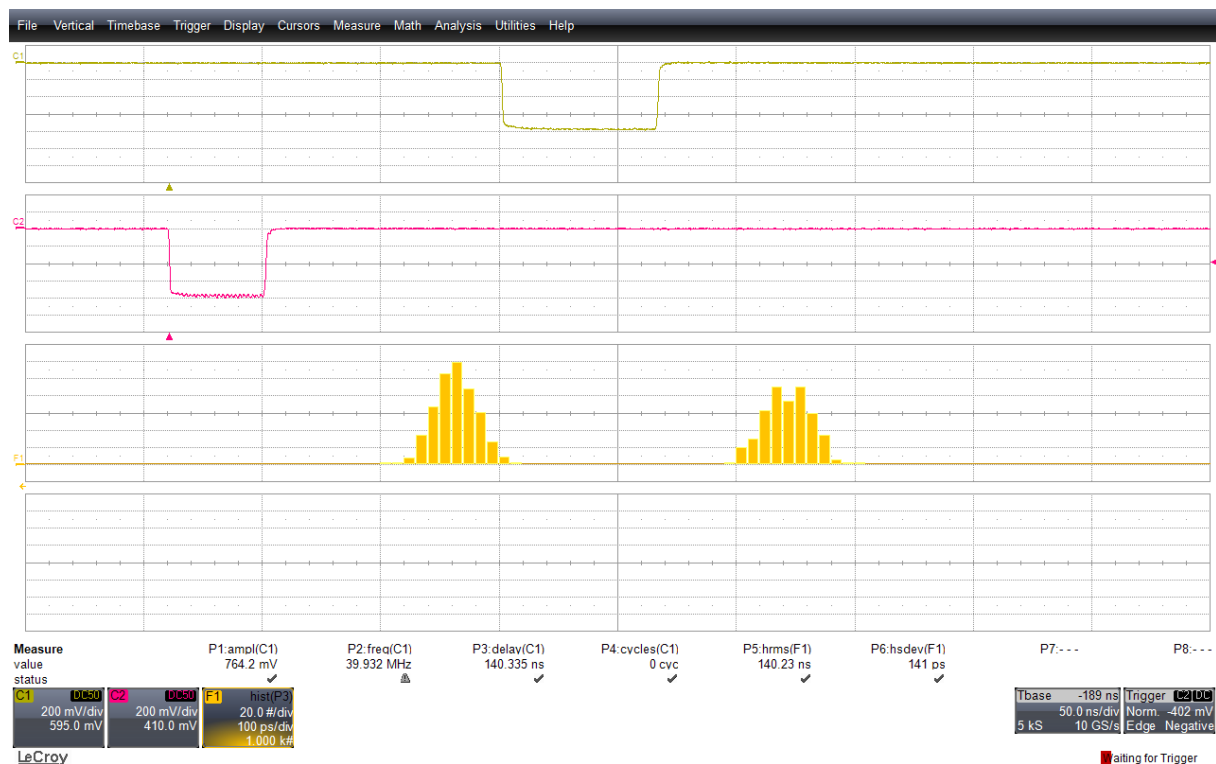


Рис. 10. Результаты осциллографического измерения задержек между двумя выходными генераторами импульсов

Блок генерации сигналов ускорительного цикла является расширенным функциональным аналогом блока ЛЭ-90 [5]. Блок генерирует синхронизированную с ускорителем У-70 циклограмму работы установки (см. рис. 11), а также имеет внутренний генератор для эмуляции синхросигнала У-70 с программируемым периодом для настроечных работ вне сеанса. Основным моментом времени является момент BS (begin spill, передний фронт GATE), задержка которого программируется относительно U70_SYNC. От этого момента прямо или косвенно отсчитываются все остальные сигналы: GATE, ES (end spill), PGATE, PGATE_A, HV_ON (разрешение включения рабочего значения высокого напряжения на трековых детекторах), WIN_INT (окно интенсивметра, см. далее). Любой из 8 сигналов U70_SYNC, постоянный 0, BS, GATE, ES, PGATE, PGATE_A, HV_ON может быть выведен на один из выходов P[3:0] с опциональной инверсией (конфигурация программируется пользователем во

время работы). Помимо этого всегда выведены 4 копии GATE на выходы GATE[3:0] для ССД. Также этот блок вырабатывает серию импульсов LED_SRC с программируемой частотой и длительностью серии и следующую за ней серию PULSER с программируемой частотой.

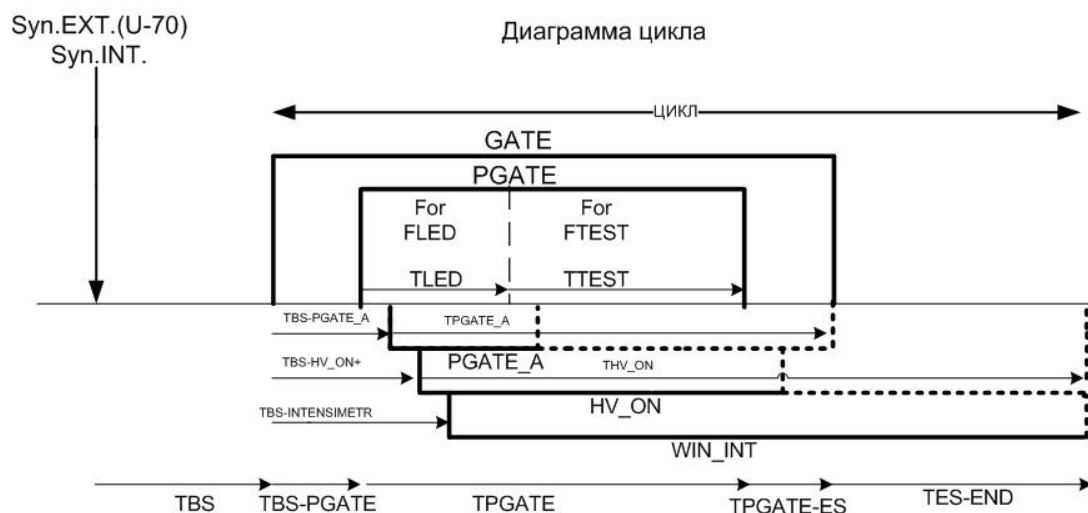


Рис. 11. Циклограмма триггерного MPDP-44. GATE – готовность ССД к триггерам/приему данных; PGATE – ворота вывода пучка и выдачи сигналов LED и PULSER; PGATE_A – дополнительные ворота (для «космики» и др.), HV_ON – ворота подачи высокого напряжения на детекторы (при необходимости импульсного питания); WIN_INT – окно интенсивметра.

Блок пособытийного мониторинга содержит в себе 20 каналов ВЦП с квантом 2.5 нс для регистрации входных сигналов непосредственно на входах схем совпадений, а также записывает в событие маску срабатывания решений (8 бит), текущее состояние пяти 24-битных пособытийных пересчёток и постоянное значение длительности внутренней блокировки блока генерации триггера (собственный BUSY модуля, для совместимости с остальной ССД). В качестве триггера блок мониторинга использует триггер, вырабатываемый для ССД триггерной схемой. Накопление данных происходит в буферной памяти DDR2 SDRAM, объём которой искусственно ограничен до 64 МБ для совместимости с ПО МК, унаследованным от ADC-32АТС, чего вполне достаточно. Память SDRAM считывается через канал данных МК–ПЛИС по концу GATE и выдаётся по протоколу TCP через Ethernet. С точки зрения ПО ССД блок пособытийного мониторинга выглядит как обычный модуль ССД. Формат данных события представлен в Приложении 6.2.

Кроме формирования событий с накоплением за цикл, в модуле также реализована выдача интегральных данных за цикл – 48-ми 24-битных пересчёток и содержимое интенсивметра. Считывание этой информации происходит через блок управления (через который программируются все параметры работы триггерного модуля) по каналу управления МК–ПЛИС, см. ниже. Считыванием занимается отдельный фоновый процесс на МК, который отслеживает конец GATE, считывает информацию

и далее выдаёт её как ТСР-сервер внешним потребителям через Ethernet. Логически этот информационный канал полностью независим от канала выдачи данных пособытийного мониторинга в ССД. Актуальный ТСР-сервер поддерживает только единственного клиента, но это не является принципиальным ограничением.

Интенсиметр представляет собой массив 4080 16-битных ячеек, в которые записывается число срабатываний решения S_0 за фиксированные интервалы времени, на которые разбита длительность сброса. Аналогичная функция имела в ранее использовавшемся модуле ТЛ2-50 [6]. Если S_0 является совпадением сигналов с пучковых счётчиков, то массив представляет собой временную развёртку интенсивности пучка. Её представление в виде обновляемого в реальном времени графика позволяет мониторить (не)равномерность сброса, а также мгновенную интенсивность пучка. Длительность интервала времени, соответствующего ячейке интенсиметра, программируется от 0.25 мс до 2 мс.

Управление настройками параметрами, как и считывание интегральных данных (поддерживается как чтение, так и запись там, где это имеет смысл), осуществляется через блок управления по каналу управления МК–ПЛИС. Канал на физическом уровне чтения/записи 16-битных слов, включая временные диаграммы, не имеет отличий от модуля ADC-32ATC и вышеописанной прошивки ВЦП. Однако логический протокол взаимодействия на верхнем уровне и формат команд радикально отличаются. Формат команд записи и чтения приведен в Приложении 6.3. В командах организован прямой адресуемый доступ (чтение/запись) к 8-битовым ячейкам. Адресное пространство 16-битное, разбито на 8 портов (6 используется, 2 в резерве) с 13-битной адресацией внутри каждого порта. Порт соответствует набору ячеек хранения параметров, которые имеют некоторую общность на уровне физической реализации. По адресу хранится однобайтовый параметр или часть многобайтового.

Адресное пространство порта разбито на 2 части: память (адреса от 0x0000 до 0x1FDF) и регистры прямого доступа (32 ячейки в конце, адреса от 0x1FE0 до 0x1FFF). К пространству памяти всегда подключается блочная память ПЛИС (возможно, не полностью). Регистры прямого доступа реализованы на D-триггерах в ПЛИС и предназначены для непосредственного управления схемами в ПЛИС. Адреса 0x1FFF (флаги порта) и 0x1FFE (маскирование изменения отдельных битов в регистрах) зарезервированы за схемой, реализующей данный порт, маскирование сейчас не поддерживается.

Конфигурация собственно триггерной логики требует 2048 бит. Прямая реализация в виде регистров прямого доступа такого количества управляющих D-триггеров приведёт к неоправданному расходу ресурсов ПЛИС (не только логики, но и соединений). Поэтому был принят гибридный подход: сначала параметры записываются в блочную память, которая отображена в пространство памяти порта, а потом содержимое памяти переписывается (установкой соответствующего флага в регистре 0x1FFF) в исполнительные регистры, организованные в регистр сдвига с шириной 8 бит и длиной 256. Для чтения производится циклический сдвиг на 256 позиций с записью параметров обратно в память. Недостатком такого подхода является временная порча всех исполнительных регистров в момент загрузки/выгрузки параметров,

а достоинством — крайне простая схема соединений между исполнительными регистрами и практически полное отсутствие комбинационной логики. Для решения проблемы порчи регистров можно временно отключать ВГИ сигналом OE, чтобы на выходе схемы не возникало паразитных сигналов. Хотя на практике достаточно не переписывать регистры во время активного уровня GATE (что сейчас и делается на ВЕС).

Назначение портов:

- P0: блок генерации сигналов ускорительного цикла (20 регистров), мониторирующий ВЦП (2 регистра, не реализовано), общее управление триггерным модулем (1 регистр), все регистры прямого доступа
- P1: обычные пересчётки, 144 байта в пространстве памяти только для чтения, запись пересчёток в память происходит автоматически по концу GATE, для этого пересчётки дополнительно организованы в регистр сдвига шириной 8 бит с использованием режима параллельной загрузки счётчиков
- P2: интенсиметр, 8160 байта в пространстве памяти только для чтения (ячейки интенсиметра, 4080 16-битных значений в формате little endian — младший байт расположен по младшему адресу), 3 регистра прямого доступа
- P3: триггерная логика (конфигурация совпадений, задержки, длительности и т.п.), 256 байт в пространстве памяти с загрузкой/выгрузкой в исполнительные регистры. Карта адресов этого порта приведена в Приложении 6.4
- P4: память с коэффициентами усреднения джиттера, 32 байта в пространстве памяти
- P5: табличная логика для функциональных решений, 4096 байт в пространстве памяти (последовательно 4 таблицы для решений F0–F4), на порте доступа с одноканальной шиной данных, используемом в триггерной логике, младшие биты байта соответствуют младшим адресам

В Приложении 6.5 приведены реализованные для портов наборы символьных команд управления, записи и чтения параметров.

4.3. Характеристики триггерного модуля

Ниже суммированы основные актуальные характеристики и значения параметров триггерного модуля установки ВЕС на основе MPDP-44.

В схеме триггера:

- 20 внешних сигналов NIM минимальной длительности 8 нс, дискретность настройки уширения и задержки 5 нс;
- 8 внутренних сигналов (выход функций F0–F3, BUSY, LED, PULSER, дополнительные ворота PGATE_A);
- 8 триггерных решений «совпадение/антисовпадение» T0–T7 с коэффициентами

разреживания в диапазоне 1-65536;
– 4 функциональных решения F0–F3;
– 4 счётных решения C0–C3;
– минимальная задержка выработки триггера 170 нс (34 такта основной частоты);
– связанные с триггером выходные сигналы для ССД: START, START_PC, GATE_ADC, LED_GAMS, LED_CHER, LED_VETO, с дискретностью программирования задержек и длительностей 1.25 нс и 2.5 нс соответственно.

В схеме циклограммы ускорительного цикла:

– выходные сигналы GATE (4 шт.) и программируемые P[3:0], на любой из которых можно вывести с опциональной инверсией 8 сигналов: U70_SYNC, постоянный 0, BS, GATE, ES, PGATE, PGATE_A, HV_ON.

В схеме мониторинга:

– 20 каналов ВЦП с квантом измерения 2.5 нс (на обычных каналах квант 2.5 нс формальный — фаза триггера относительно основной частоты 200 МГц учитывается, фаза сигнала всегда 0, поскольку не измеряется);
– 5 событийных 24-битных пересчёток;
– битовый регистр триггерных решений.

В схеме интегральных данных за сброс:

– 48 пересчёток;
– интенсивметр – до 4080 счетов в программируемых интервалах длительностью от 0.25 мс до 2 мс.

5. Заключение

Разработан электронный модуль TDC-96MWC для обработки быстрых цифровых логических сигналов в экспериментах на циклических ускорителях. Модуль является автономным (не является частью магистрально-модульной системы), использует единственный номинал питания +12 В, единственный интерфейс для связи с внешним миром Ethernet, несколько внешних входных LVDS сигналов для приёма триггера в случае работы в качестве обычного модуля ССД. Модуль способен работать в постоянном магнитном поле 1 Тл. В модуле используются ИС общего назначения, в частности ПЛИС среднего класса.

Развитая архитектура позволила реализовать на основе модуля два различных устройства для применения на установке ВЕС ускорителя У-70 – 96-канальный ВЦП для многопроводочных камер и составной модуль триггерной системы на оригинальных принципах MPDP-44. Последний эмулирует асинхронную схему совпадений, с временным разбросом триггера 370 пс (RMS). Благодаря объединению функций один MPDP-44 заменил на установке ВЕС несколько каркасов СУММА и МИСС с десятками разнообразных модулей и с сотнями кабельных соединений. Использование MPDP-44 с полностью цифровым управлением радикально улучшило эксплуатационные характеристики триггерной системы, подняв на качественно новый уровень возможности по её конфигурированию, настройке, мониторингованию.

Ниже приведены некоторые результаты относительно стабильности работы TDC-

96MWC в реальных условиях за 10-суточный период непрерывной работы в осеннем физическом сеансе 2023 года на установке ВЕС. Использовались 31 модуль ВЦП (25 – в т.н. подсистеме РС, 6 – в НРС) и один MPDP-44.

1. Зависаний или порчи конфигурации модулей, требующих перезагрузки, не обнаружено; триггерный модуль несколько раз перезагружался по инициативе оператора установки при настройках.
2. Доля циклов с ошибками сборки событий (нарушение формата данных, несоответствие временных штампов событий) составила $\sim 10^{-4}$ в общем для подсистемы РС и вдвое меньше для НРС.
3. Заметная доля ошибок сборки данных в п. 2 произошла в периоды длительного отсутствия пучка, составившего около половины времени сеанса. Это практически исключает SEU (single event upset, единичное обратимое радиационное воздействие на электронное устройство) в качестве источника ошибок. Тем не менее, модуль имеет средства борьбы с SEU, сейчас никак не задействованные: режим ЕСС для памяти МК, мониторинг целостности прошивки ПЛИС (штатная функциональность Cyclone III, соответствующий сигнал от ПЛИС заведён на GPIO МК), использование при записи данных в DDR2 SDRAM ПЛИС кодов (на уровне разработки прошивки), позволяющих при раскодировании исправление отдельных битовых ошибок.
Вероятные источники отмеченных ошибок – очень редко проявляющиеся ошибки в прошивке ПЛИС (некорректная работа схемы из-за недостаточно протестированных в процессе разработки паразитных внутренних задержек на элементах ПЛИС) и/или электрические помехи в системе распределения триггера. Корреляция сбоев между двумя подсистемами, возникающая в последнем случае, не изучалась.
4. В событийных данных от модуля триггера не обнаружено ни одного плохого сброса с точки зрения нарушения формата данных. Точная количественная проверка соответствия временных штампов модуля другим подсистемам ССД затруднена наличием в ССД в целом 2% сбойных циклов. Причины значительной части сбоев известны, но не были устранены по соображениям соотношения требуемых ресурсов и достигаемой пользы.

6. Приложения

6.1. Команды ВЦП на основе TDC-96MWC

Коды команд и данные в Таб. 1–4 приведены в 16-тиричном виде. Команды сгруппированы по устройствам. Состояния съемных переключек: JP – разомкнута, !JP – замкнута. Сокращения: ПЦ - периодические циклы, ОЦ - однократный цикл.

Код команды	Состояние А (прием или генерация данных)	Состояние В (готовность к сессии управления)	Состояние С (сессия управления)
00	Снятие блокировки циклов/ запуск командного или loop цикла/ запуск теста SDRAM	Очистка памяти SDRAM	Окончание сессии управления
01	Блокировка повторных чтений SDRAM		
02	Разрешение повторных чтений SDRAM	Переход к состоянию С	
03	Переход к состоянию В		
04		Переход к состоянию А	
1XX	Блокировка всех циклов (внутренних и внешних)		

Таблица 1. Коды управления состоянием модуля.

Код устройства	Логическое устройство
8B	CONT-SPILL
8A	DATA-TEST
89	DATA-FORMAT
88	DATA-PROCESS

Таблица 2. Коды логических устройств модуля.

Устройство команда данные	Символьная команда <параметр>	Значение параметра; дефолт	Описание команды
8B 81 03 или !JP4	mode int		Установка моды внутренних циклов
8B 81 05 или !JP3	data test		Переключение на тестовые данные
8B 81 06 и JP3	data real	дефолт	Переключение на реальные данные
8B 81 07 или !JP5	test-data-type fixed	дефолт	Установка фиксированных тестовых данных
8B 81 08 и JP5	test-data-type shifted		Установка сдвиговых тестовых данных
8B 81 09	start-type ext		Установка внешних запусков для внутренних ПЦ
8B 81 0A	start-type int	дефолт	Установка внутренних запусков для внутренних ПЦ
8B A1 DD (DD=41...7F)	start-dt-loop <t>	1-63 мкс; default 16 мкс	Интервал между стартами во внутренних ПЦ
8B A2 DD (DD=41...7F)	start-dt-cmd <t>	1-63 мкс; default 4 мкс	Интервал между стартами во внутреннем ОЦ
8B A5 DD (DD=41...4F)	spill-dt-loop <t>	(0.4+0.6t с) 1...15 ; дефолт 7 (4.6 с)	Пауза между концом и началом внутренних ПЦ
8B C3 hD ID hD = 40...7F ID = 01...7F	nstarts-loop <n>	1-8191 (кроме кратных 128); дефолт 257	Число стартов во внутренних ПЦ
8B C4 hD ID hD = 40...7F ID = 01...7F	nstarts-cmd <n>	1-8191 (кроме кратных 128); дефолт 8	Число стартов во внутреннем ОЦ
8A A1 D D= 40...43 D[0]=0/1 D[1]=0/1	нет	дефолт – разрешение D[0]=0 D[1]=0	Разрешение/запрет: записи данных в DDR2; регенерации данных в DDR2
8A E0 D D=40-7F	нет	D[0] = 0/1 D[5-1]	Данные фикс. или сдвиг./псевдослучайные; 5 младших битов кода интенсивности для псевдослучайных данных
8A E1 D D=40-43	нет	D[1-0]	2 старших бита кода интенсивности для псевдослучайных данных
89 01	format sdram-test		Включение режима теста памяти инкрементными данными
89 02	format nonpacked	дефолт	Отключение режима теста памяти и включение рабочего режима

Таблица 3. Команды для отладочных режимов.

Устройство команда данные	Символьная команда <параметр>	Значение параметра; дефолт	Описание команды
8B 81 01	spill off	дефолт	Запрет внешних и ПЦ
8B 81 02	spill on		Разрешение внешних и ПЦ
8B 81 04 и JP4	mode ext	дефолт	Установка моды внешних циклов
8A 01	spill-events-limit off	дефолт	Без ограничения числа событий в цикле
8A 02	spill-events-limit on		С ограничением числа событий в цикле
8A C3 hD ID D=40...7F	max-events <n>	0...4095 дефолт 0	Макс. число событий в цикле
89 08	maxhits- rejection-mode save-partial-data		Событие ограничено максимальным числом хитов (см. 88 A3 D)
89 09	maxhits- rejection-mode reject-all-data		Событие без данных при превышении максимального числа хитов
88 A1 D D=01...7F	start-delay <d>	1...127; дефолт 1	Задержка триггера
88 A2 D D=40...4F D[0,1] D[2] D[3]	nhits-sdrange- ddrange <n> <sd> <dd>	1...3, дефолт 1 0/1, дефолт 0 0/(1 и JP6), дефолт 0 или !JP6	Макс. число хитов на канал; диапазон задержки триг. 1-127/129-254; задержка конвейера данных 128/256
88 A3 D D=40...7F	maxhits <n>	0...63 дефолт 0	Макс. число хитов в событии
88 A5 D D=40...42 D[1...0] =00/01/10	tdc-window <w>	320/160/640 нс; дефолт 320 нс	Основное окно измерения
88 A4 D D=40...41 D[0] =0/1	tdcwf-mhrej <yes>	0/1 дефолт 0 – запрет	Запрет/разрешение дополнительного ограничения окна измерения
88 C3 D D=40...7F	tdc-window-fine <w>	0...63 дефолт 0	Дополнительное ограничение окна измерения
88 C5/6/7 hD ID hD=40...7F (40...43 для C7) ID =40...7F	chan-off <mhigh> <mlow>	0x0000...0xFFFF 0x0000...0xFFFF	Маскирование групп из 3-х последовательных каналов в диапазонах 0...35 (C5), 36...71 (C6), 72...95 (C7)

Таблица 4. Команды для рабочего режима

6.2. Формат данных сброса для модуля MPDP-44

Данные сброса, содержащие N событий, имеют следующий формат (смещение в памяти увеличивается сверху вниз):

Заголовок сброса
Заголовок события 0
Полезные данные события 0
Заголовок события 1
Полезные данные события 1
.....
Заголовок события N-1
Полезные данные события N-1
Пакет нулевых слов

Заголовок сброса такой же, как в ADC-32АТС [2], за исключением слова с текущими настройками ADC-32АТС (число выборок и т.п.), содержимое которого следует игнорировать. Для MPDP-44 слов со специфичными настройками в заголовке нет.

Признаком конца сброса является пакет нулевых слов (не менее 4 16-битных), после него в данных может присутствовать «мусор» из-за особенностей прошивки ПЛИС.

Формат заголовка события

Смещение \ биты	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0xF1FC (сигнатура события)															
1	0xF7FD (сигнатура события)															
2	временной штамп события, биты [31:16]															
3	временной штамп события, биты [15:0]															
4	длина события (в байтах)															
5	маска сработавших каналов, биты [15:0]															
6	маска сработавших каналов, биты [31:16]															
7	маска сработавших каналов, биты [47:32]															

Поля заголовка имеют следующий смысл:

временной штамп события	время между передним фронтом сигнала GATE и передним фронтом сигнала START для этого события, измеряется тем же самым счётчиком с тактовой частотой 200 МГц, что и длительность GATE (см. описание заголовка СБРОСа для модуля ADC-32АТС [2]);
длина события	размер полезных данных события в байтах (без учёта возможного нулевого байта в конце для выравнивания размера события по 16-битной границе);
маска сработавших каналов	бит i в маске обозначает наличие (1) или отсутствие (0) байта от канала i в полезных данных события.

Формат полезных данных события

Полезные данные представляют собой последовательность байт (длиной вплоть до 48 включительно), в конце добавляется дополнительный нулевой выравнивающий байт, если длина события в байтах получается нечётной. Каждому из 48 каналов соответствует 1 байт, данные от канала присутствуют только в том случае, если соответствующий этому каналу бит в маске сработавших каналов в заголовке события равен 1. Байты от каналов упорядочены в порядке возрастания номера канала. Ниже представлено описание каналов:

0-19	времена мониторирующего ВЦП для 20 внешних входных сигналов, квант 2.5 нс;
20-29	резерв;
30-44	пособытийные пересчётки (5 шт., 24 бит каждая в формате little endian), первые 4 шт — решения С0-С3 в порядке возрастания; последняя — общее число триггеров для запуска ССД на момент регистрации данного события, которое должно равняться номеру данного события, считая с 1; нужна для совместимости с существующим ПО ССД ВЕС;
45	битовое слово сработавших решений для данного события (Т0 – бит 0, Т7 – бит 7), без учета приоритетности решения с наименьшим номером при выборе весов усреднения времен;

запрограммированное фиксированное мёртвое время триггерного модуля (собственная блокировка блока выработки триггера) в формате little endian в единицах $1/4$ периода основной тактовой частоты (1.25 нс); это время копируется в соответствующее поле заголовка выходного формата AC-USB в промежуточном построителе событий, так что его можно наблюдать в основном построителе событий в столбце BUSY.

Каналы 0–19 присутствуют, если был зарегистрирован сигнал в соответствующем канале ВЦП, 20–29 постоянно выключены в маске, 30–47 постоянно включены в маске.

6.3. Формат операций чтения/записи для управления модулем MPDP-44

Ниже под операциями чтения/записи будут пониматься чтение/запись 8-битных ячеек в 16-битном адресном пространстве модуля MPDP-44. Под циклами чтения/записи будут пониматься низкоуровневые 16-битные одиночные послышки чтения/записи по каналу управления ПЛИС–МК.

Операции чтения/записи осуществляются при помощи выдачи команд управляющему автомату (УА) посредством циклов записи, и выполнения циклов чтения для получения информации от УА. Операции в общем случае являются пакетными, т.е. выполняют группу записей или чтений по последовательным адресам, одиночные операции — это операции с длиной пакета 1. Пакетное чтение/запись в рамках одной операции допускается выполнять только внутри границ порта, в противном случае УА перейдёт в состояние ошибки, а все последующие циклы пакета будут проигнорированы.

Операция состоит из:

1. установки начального адреса УА, требует 2 цикла записи;
2. задания вида операции (чтение/запись), 1 цикл записи, в случае операции записи также одновременно передаётся байт для записи по начальному адресу и происходит последующее наращивание адреса в УА на 1;
3. выполнения произвольного количества (от 0 и более для операции записи и от 1 и более для операции чтения) циклов записи (в случае операции записи) или чтения (в случае операции чтения), каждый цикл производит чтение или запись одного байта в адресном пространстве модуля с последующим наращиванием адреса в УА на 1. Все циклы на этой стадии должны быть одного вида (чтение или запись).

После первого выполнения (и любого числа последующих) стадии 3 можно переходить к стадии 1, т.е. начинать новую операцию. Нарушение предусмотренного

порядка циклов приводит к переходу УА в исходное состояние с установкой бита ошибки в регистре флагов порта, которому соответствует текущий внутренний адрес УА. Для прерывания операции в любом месте без установки ошибки порта существует отдельная команда.

Ниже приведена таблица формата операций, «X» означает безразличное состояние бита или номера цикла, «W» означает цикл записи, «R» — цикл чтения.

номер цикла \ биты	15-14	13	12	11	10	9-8	7-0
1W	XX	0	1	0	0	XX	старшие биты адреса
2W	XX	0	0	1	0	XX	младшие биты адреса
3W и далее (запись)	XX	0	0	0	1	XX	данные для записи
3W (чтение)	XX	0	0	0	0	XX	XXXXXXXXXX
4R и далее (чтение)	XX	X	X	X	X	XX	данные чтения
XW (прерывание)	XX	X	1	1	X	XX	XXXXXXXXXX

6.4. Карта адресов порта 3 (управление триггерной логикой) модуля MPDP-44

0x0000-0x0013	входные задержки внешних сигналов IN[19:0], по одному байту на канал, биты [6:0], формальный квант 1.25 нс, биты [1:0] игнорируются;
0x0014-0x0021	резерв;
0x0022-0x0035	уширение для внешних сигналов IN[19:0], по одному байту на канал; 8-битный код уширения передаётся в исходном виде в схему, показанную на рис. 7, разрешёнными являются только коды с непрерывной серией единиц, начиная от бита 0, либо нулевой код, число единиц обозначает величину уширения с квантом 5 нс; использование запрещённых кодов приводит к некорректной работе схемы;
0x0036-0x0048	резерв;
0x0049	маска включения выходов решений T0–T7 на запуск ССД, бит 0 соответствует T0, 0 — выключено, 1 — включено;
0x004A	выбор подсоединения 13-входовой таблицы истинности для функциональных решений F0–F3 в табличном режиме, биты [3:0], бит 0 соответствует F0, 0 — подсоединение к каналам IN[12:0], 1 — подсоединение к каналам IN[7:19];

0x004B–0x00CA	конфигурация схем совпадений T0–T7, F0–F3, C0–C3 (в указанном порядке в направлении увеличения адресов), на каждую схему приходится 8 байт из которых первые 7 используются, последний резервный; если рассматривать 7-байтовое значение как 56-битное число в формате little-endian, то каждый из 28 входов схемы с номером i конфигурируется парой битов $[2i+1:2i]$; назначение 2-битовых кодов следующее: 00 – отключен, 01 – совпадение, 11 – анти, 10 – резерв (фактически сейчас младший бит управляет включением/отключением, старший инвертированием);
0x00CB–0x00DA	16-битные прескейлеры для решений T0–T7, по 2 байта на прескейлер в формате little-endian; коэффициент деления на 1 больше записанного значения, т.е. 0 соответствует отсутствию прескейлирования;
0x00DB–0x00DC	длительность внутренней собственной блокировки блока триггерной логики (фиксированное BUSY модуля), два байта в формате little-endian, биты $[13:0]$, формальный квант 1.25 нс, биты $[1:0]$ игнорируются;
0x00DD–0x00DE	задержка и ширина импульса START, в первом байте передаются младшие 8 бит задержки, во втором в бите 7 передаётся старший бит задержки (бит 8), а в битах $[6:0]$ ширина; формальный квант в обоих случаях 1.25 нс, но в ширине бит 0 игнорируется (т.е. реально ширина настраивается с дискретностью 2.5 нс);
0x00DF–0x00E0	задержка и ширина импульса START_PC, формат как у START;
0x00E1–0x00E2	задержка и ширина импульса GATE_ADC, формат как у START;
0x00E3–0x00E4	задержка LED относительно LED_SRC перед подачей на схемы совпадений, два байта в формате little-endian, биты $[9:0]$, формальный квант 1.25 нс, биты $[1:0]$ игнорируются;
0x00E5–0x00E6	задержка LED_ECAL, два байта в формате little-endian, биты $[9:0]$, квант 1.25 нс;
0x00E7	ширина импульса LED_ECAL, биты $[6:0]$, формальный квант 1.25 нс, бит 0 игнорируется;

0x00E8-0x00E9	задержка LED_CHER, формат как у LED_ECAL;
0x00EA	ширина импульса LED_CHER, формат как у LED_ECAL;
0x00EB-0x00EC	задержка LED_VETO, формат как у LED_ECAL;
0x00ED	ширина импульса LED_VETO, формат как у LED_ECAL;
0x00EE-0x00FB	резерв;
0x00FC-0x00FF	управление мультиплексированием (схема совпадений/таблица) для функциональных решений F0-F3, 4 байта, на каждое решение по 1 байту, первый байт соответствует F0; каждая из 4 пар бит в байте управляет отдельным мультиплексором, выходы которых объединены по ИЛИ, значение 00 означает значение 0 на выходе мультиплексора, разрешается иметь только одну ненулевую пару бит в байте; значение байта 0x00 означает отключение решения; если обозначить режим совпадений C, а табличный режим nL, где n – дополнительная задержка выхода в тактах основной частоты 200 МГц, то разрешённые коды (помимо нулевого) в управляющем байте следующие: 0x01 – C, 0x03 – 0L, 0x04 – 1L, 0x0C – 2L, 0x10 – 3L, 0x30 – 4L, 0x40 – 5L, 0xC0 – 6L; использование запрещённых кодов приводит к некорректной работе схемы;
0x0100-0x1FFE	резерв;
0x1FFF	регистр флагов порта.

6.5. Пакет trigger-ctl команд модуля MPDP-44

Всё управление модулем MPDP-44, за исключением настройки порогов/амплитуд входов/выходов, может быть произведено утилитами с интерфейсом командной строки trigger-ctl и trigger-ctl-lut.

Описание trigger-ctl:

1. Формат символьной команды:

trigger-ctl [-S] -c '<port-name> <port-command> <arguments>', где

-c – указатель символьной команды;

-S – опциональный указатель на выполнение команды без остановки циклов ССД.

Эту опцию необходимо использовать с осторожностью: если включены циклы (cycles on), то не применять для загрузки/выгрузки в память порта исполнительных реги-

стров порта 3 (trigger) и не менять параметры циклограммы в порте 0 (main).

2. Список портов:

```
main      [port = 0x0]
counters  [port = 0x1]
intensimeter [port = 0x2]
trigger   [port = 0x3]
ref-weights [port = 0x4]
lut       [port = 0x5]
```

3. Формат команд порта main:

```
trigger-ctl [-S] -c 'main command param1 param2 ...'
```

Список команд.

usleep <t>

– пауза на t мкс, в действительности команда ничего не пишет в канал управления ПЛИС.

rout-0-1 <p0_pol> <p0_src> <p1_pol> <p1_src>

– устанавливает полярность (0 – положительную, соответствует сигналу NIM в нормальной логике; 1 – отрицательную, инверсный NIM) и источник для программируемых выходов P0 (выход 204) и P1 (выход 205); возможные источники: 0 – постоянный логический ноль; 1 – PGATE_A; 2 – PGATE; 3 – GATE; 4 – ES (330 нс); 5 – BS (330 нс); 6 – HV_ON; 7 – external SYNC (330 нс) – от выделенного входа U70 SYNC независимо от моды запуска (внутренний/внешний) и разрешения/запрета циклов; допустимые значения p[01]_pol: 0-1, p[01]_src: 0-7

rout-2-3 <p2_pol> <p2_src> <p3_pol> <p3_src>

– устанавливает полярность и источник для программируемых выходов P2 (выход 206) и P3 (выход 207); см. описание rout-0-1

cycles on

– разрешает генерацию общей циклограммы (GATE, PGATE etc), а также выключает режим теста SDRAM, если он был разрешен

cycles off

– запрещает генерацию общей циклограммы

sdram test

– запускает пакет (frame) данных теста SDRAM: заполняет SDRAM тестовым шаблоном, читает SDRAM и посылает данные как 'command spill', т.е. с MC_IRQ2 (может читаться из /dev/adc-data-1). Циклы будут заблокированы после выполнения этой команды и могут быть разрешены последующей командой 'cycles on'

sdram zero

– как 'sdram test', но с нулевым шаблоном

sdram read

– как 'sdram test', но без записи в SDRAM; можно использовать как повторное контрольное чтение SDRAM. Возможно предшествующее исполнение 'sdram test' для заполнения SDRAM

protection on

– включение защиты записи параметров общей циклограммы (sync-mode, tbs, tpgate и др.)

protection off

– отключение защиты записи параметров общей циклограммы (sync-mode, tbs, tpgate и др.)

sync-mode ext

– установка режима внешнего запуска (для работы с У70)

sync-mode int

– установка режима внутреннего запуска (без запуска от У-70)

skipped-cycles reset

– сброс счетчика пропущенных циклов (т.е. пропущенных сигналов SYNC – запусков циклов)

skipped-cycles read

– чтение счетчика пропущенных циклов (т.е. пропущенных сигналов SYNC – запусков циклов)

tcycle-int <d>

– установка периода циклов с внутренним запуском в единицах 0.1 с, действительный период будет d+1, допустимые значения d: 2-255

tbs <d>

– установка времени BS (begin spill) от сигнала SYNC в ед. 0.1 с, GATE будет от BS до ES, допустимые d: 1-127

tbs-intensimeter <d>

– установка задержки старта интенсиметра от BS в ед. 0.1 с, допустимые d: 1-127

tbs-pgate <d>

– установка времени начала PGATE (particle gate) от BS в ед. 0.1 с, допустимые d: 1-127

tpgate <d>

– установка длительности PGATE в ед. 0.1 с, допустимые d: 1-127

tpgate-es <d>

– установка времени ES (end spill) от окончания PGATE в ед. 0.1 с, GATE всегда перекрывает PGATE, допустимые d: 1-127

tbs-hv_on <d>

– установка времени начала HV_ON от BS в ед. 0.1 с, допустимые d: 1-127

thv_on <d>

– установка длительности HV_ON в ед. 0.1 с, допустимые d: 1-127

tled <d>

– установка длительности пачки импульсов LED в ед. 0.1 с, началом пачки является начало PGATE, началом пачки FTEST – конец пачки LED, окончанием пачки FTEST – окончание PGATE, допустимые d: 1-127

tes-end <d>

– установка времени от ES (end spill) до окончания цикла в ед. 0.1 с, допустимые d: 1-127, сумма (tbs-pgate)+tpgate+(tpgate-es)+(tes-end) не должна превышать период сигнала SYNC (внутреннего или внешнего) во избежание пропуска сигналов SYNC

tbs-pgate_a <d>

– установка времени начала PGATE_A от BS в ед. 0.1 с, допустимые d: 1-127

tpgate_a <d>

– установка длительности PGATE_A в ед. 0.1 с, допустимые d: 1-127

fled <d>

– установка делителя частоты в пачке импульсов LED, частота будет $2/(d+1)$ кГц, допустимые d: 1-255

ftest <d>

– установка делителя частоты в пачке импульсов FTEST, частота будет $3/(d+1)$ МГц, допустимые d: 1-255

all-timings <d>

– установка одинаковой величины d для всех параметров общей циклограммы (tbs, tbs-pgate, tpgate, tpgate-es и др.), допустимые d: 1-127

tdc-window <d> (не реализовано)

– установка окна мониторирующего ВЦП в единицах периода основной частоты (5 нс), допустимые d: 1-255

tdc-start-delay <d> (не реализовано)

– установка задержки старта (триггера) мониторирующего ВЦП в единицах периода основной частоты (5 нс), допустимые d: 0-255

trigger-control <d>

– установка флагов контроля триггера:

бит 0 – включение выходов (1 – вкл., 0 – выкл.), физическое вкл./выкл. выходных преобразователей уровней HSTL-NIM MPDP-44; бит 1 – разрешение выходов (1 – разрешение, 0 – запрет), логическое (в FPGA) разрешение выходных сигналов MPDP-44; бит 2 – одиночный запуск PED (активный переход 0 → 1), генерирование одиночного импульса на выходе GATE_ADC для считывания «пьедесталов» АЦП; бит 3 – одиночный запуск LED (активный переход 0 → 1), генерирование одиночных импульсов на выходах LED_ECAL и GATE_ADC с той же относительной задержкой, как для пачки LED в общей циклограмме; допустимые d: 0-15

read <a>

– чтение байта по адресу a, допустимые a: 0x000-0x1FFF

write <a> <d>

– запись байта d по адресу a, допустимые a: 0x000-0x1FFF, допустимые d: 0x00-0xFF

4. Формат команд порта counters:

trigger-ctl [-S] -c 'counters command param1 param2'

Список команд

load-ram on

– разрешение загрузки счетчиков в буфер RAM по концу PGATE

load-ram off

– запрет загрузки счетчиков в буфер RAM по концу PGATE

read-counter <n>

– чтение значения счетчика n из буфера RAM, допустимые n: 0-47

read <a>

– чтение байта по адресу a, допустимые a: 0x000-0x1FFF

write <a> <d>

– запись байта d по адресу a, допустимые a: 0x000-0x1FFF, допустимые d: 0x00-0xFF

5. Формат команд порта intensimeter:

trigger-ctl [-S] -c 'intensimeter command param1 param2'

Список команд

load-ram on

– разрешение загрузки данных интенсиметра в буфер RAM в течение GATE

load-ram off

– запрет загрузки данных интенсиметра в буфер RAM в течение GATE

bin-width <w>

– установка бина интенсиметра $0.25 \cdot 2^w$ мс, допустимые w: 0-3

read-nbins

– чтение числа заполненных бинов

read-bin <n>

– чтение содержимого бина n из буфера RAM, допустимые n: 0-4079

read <a>

– чтение байта по адресу a, допустимые a: 0x000-0x1FFF

write <a> <d>

– запись байта d по адресу a, допустимые a: 0x000-0x1FFF, допустимые d: 0x00-0xFF

6. Формат команд порта trigger:

trigger-ctl [-S] -c 'trigger command param1 param2 ...'

Список команд.

load-ram

– загрузка параметров из регистров в буфер RAM

load-par

– загрузка параметров из буфера RAM в регистры

input-delay <c> <d>

– установка входной задержки d для канала совпадений c в единицах $1/4$ периода основной частоты (1.25 нс), биты 0-1 могут игнорироваться частично или полностью, допустимые c: 0-27, допустимые d: 0-127

pulse-ext <c> <e>

– установка расширения импульса e для канала совпадений c в единицах периода основной частоты (5 нс), e кодируется как число непрерывных последовательностей 1, начиная с бита 0, все старшие биты должны быть нулевыми, например 0x0F означает расширение на 4 ед.; расширение добавляется к исходной собственной ширине импульса, допустимые c: 0-27, допустимые e: 0x00-0xFF. Ошибки формата e не проверяются и могут вызвать неопределенное поведение аппаратной логики

trigger-on <mask>

– установка маски на 8 триггерных решений, например при mask=0x83 решения 0,1,7 включены, остальные выключены; допустимые mask: 0x00-0xFF

coincidence-config <n> <c0> <c4> <c8> <c12> <c16> <c20> <c24>

– установка конфигурации совпадений для решения n, допустимые n: 0-15; cX – 16-битное целое число для каналов совпадений X, X+1, X+2, X+3, одна 16-ричная цифра на канал, младшая цифра для канала X+3, старшая для канала X, допустимые цифры 0 (off), A (anti), C (coincidence); пример для решения 1 с каналом 0 в совпадении, каналом 1 в антисовпадении, остальные каналы не участвуют:

coincidence-config 1 0xCA00 0x0000 0x0000 0x0000 0x0000 0x0000 0x0000

prescaler <n> <value>

– установка коэффициента разреживания value для триггерного решения n, действительный коэффициент (делитель) будет (value + 1), допустимые n: 0-7, допустимые value: 0-65535

fixed-busy <t>

– установка фиксированного времени «busy» t в единицах 1/4 периода основной частоты (1.25 нс), биты 0-1 игнорируются, допустимые t: 0-16383; генерируется триггерной логикой для возможного использования с новой накамерной электроникой с фиксированным временем «busy» или для прикрытия начальной «дыры» в сигнале «busy» из-за задержки его генерации внешним устройством

start-dw <d> <w>

– установка задержки d и ширины w выходного импульса START в единицах 1/4 периода основной частоты (1.25 нс), для ширины бит 0 игнорируется, действительная ширина будет w+4, допустимые d: 0-511, допустимые w: 0-127

start-pc-dw <d> <w>

– установка задержки d и ширины w выходного импульса START_PC в единицах 1/4 периода основной частоты (1.25 нс), для ширины бит 0 игнорируется, действительная ширина будет w+4, допустимые d: 0-511, допустимые w: 0-127

gate-adc-dw <d> <w>

– установка задержки *d* и ширины *w* выходного импульса GATE_ADC в единицах 1/4 периода основной частоты (1.25 нс), для ширины бит 0 игнорируется, действительная ширина будет *w*+4, допустимые *d*: 0-511, допустимые *w*: 0-127

led-ecal-dw <d> <w>

– установка задержки *d* и ширины *w* выходного импульса LED_ECAL в единицах 1/4 периода основной частоты (1.25 нс), для ширины бит 0 игнорируется, действительная ширина будет *w*+4, допустимые *d*: 0-1023, допустимые *w*: 0-127

led-cher-dw <d> <w>

– установка задержки *d* и ширины *w* выходного импульса LED_CHER в единицах 1/4 периода основной частоты (1.25 нс), для ширины бит 0 игнорируется, действительная ширина будет *w*+4, допустимые *d*: 0-1023, допустимые *w*: 0-127

led-veto-dw <d> <w>

– установка задержки *d* и ширины *w* выходного импульса LED_VETO в единицах 1/4 периода основной частоты (1.25 нс), для ширины бит 0 игнорируется, действительная ширина будет *w*+4, допустимые *d*: 0-1023, допустимые *w*: 0-127

led-trigger-delay <d>

– установка задержки *d* между начальным внутренним импульсом LED и соответствующим входом схемы совпадений в единицах 1/4 периода основной частоты (1.25 нс), биты 0-1 игнорируются, допустимые *d*: 0-1023

read <a>

– чтение байта по адресу *a*, допустимые *a*: 0x00-0x1FFF

write <a> <d>

– запись байта *d* по адресу *a*, допустимые *a*: 0x00-0x1FFF, допустимые *d*: 0x00-0xFF

7. Формат команд порта ref-weights:

trigger-ctl [-S] -c 'ref-weights command param1 param2'

Список команд.

enable-ram

– разрешение чтения/записи RAM (когда GATE не активен)

read <a>

– чтение байта по адресу *a*, допустимые *a*: 0x00-0x1FFF

write <a> <d>

– запись байта d по адресу a, допустимые a: 0x00-0x1FFF, допустимые d: 0x00-0xFF

8. Формат команд порта lut:

trigger-ctl [-S] -c 'lut command param1 param2'

Список команд.

enable-ram

– разрешение чтения/записи RAM (когда GATE не активен)

read <a>

– чтение байта по адресу a, допустимые a: 0x00-0x1FFF

write <a> <d>

– запись байта d по адресу a, допустимые a: 0x00-0x1FFF, допустимые d: 0x00-0xFF

Описание trigger-ctl-lut:

trigger-ctl-lut [-S] -f <n> -m <M> </> file или trigger-ctl-lut -S -s где S – указатель на выполнение команды без остановки циклов ССД, f – номер функции (0-3); m – режим (M=C/L/w/r): C – режим совпадений, L – режим LUT, w – запись памяти функции из файла file, r – чтение памяти функции в файл file, s – распечатка текущего состояния всех функций.

Примеры команд:

trigger-ctl-lut -S -f 0 -m C – установить режим схемы совпадений для функции 0;

trigger-ctl-lut -S -f 1 -m L – установить режим LUT для функции 1;

trigger-ctl-lut -f 1 -w < file – записать память функции 1 из файла file;

trigger-ctl-lut -S -s – распечатать текущее состояние всех функций.

Список литературы

- [1] А.В. Ивашин, В.Д. Матвеев, Ю.А. Хохлов: Модернизированная система сбора данных установки ВЕС. Технические аспекты. Препринт ИФВЭ 2010-10, Протвино (2010). <http://web.ihep.su/library/pubs/prev2010/ps/2010-10.pdf>
- [2] Е.В. Волков, А.В. Ивашин, В.В. Календарёв, В.Д. Матвеев, В.П. Сугоняев, Ю.А. Хохлов, А.А. Шумаков Автономный модуль амплитудно-цифрового преобразования ADC-32АТС с оцифровкой формы импульса. Препринт ИФВЭ 2017-8, Протвино (2017). <http://web.ihep.su/library/pubs/prev2017/ps/2017-8.pdf>
- [3] А.В. Ивашин. Модуль TDC-48DT.
<http://pcbech.ihep.su/~ivashin/tdc-48dt-doc.pdf>, <http://mail.ihep.ru/~ivashin/tdc-48dt-doc.pdf>

- [4] Cyclone 3 Device HandBook, Volume 1. San Jose, CA 95134 www.altera.com
- [5] Ю.Д. Карпеков, В.Д. Матвеев.: Модуль синхронизации систем сбора данных физических установок ИФВЭ с циклами работы ускорителя У-70. Препринт ИФВЭ 2009-6, Протвино (2009). <http://web.ihep.su/library/pubs/prep2009/ps/2009-6.pdf>
- [6] Н.А. Шаланда. Модуль триггерной логики ТЛ2-50. Техническое описание от 25-03-2009.

Рукопись поступила 20 декабря, 2023

Препринт отпечатан с оригинала-макета, подготовленного авторами.

А.В. Ивашин, В.Д. Матвеев, Ю.А. Хохлов.

Электронный модуль обработки цифровых логических сигналов TDC-96MWC
и его использование на установке ВЕС.

Оригинал-макет подготовлен с помощью системы **Л^AT_EX**.

Подписано к печати 16.01.2024 Формат 60 × 84/16. Цифровая печать.
Печ.л. 3,1. Уч.-изд.л. 4,3. Тираж 60. Заказ 1. Индекс 3649.

НИЦ «Курчатовский институт» – ИФВЭ
142281, Московская область, г. Протвино, пл. Науки, 1

www.ihep.ru; библиотека <http://web.ihep.su/library/pubs/all-w.htm>

Индекс 3649

П Р Е П Р И Н Т 2024–1,
НИЦ «Курчатовский институт» – ИФВЭ, 2024
